



⑬ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENTAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 197 39 513 A 1**

⑤① Int. Cl.⁶
G 05 B 19/18

⑳ Aktenzeichen: 197 39 513.9
㉔ Anmeldetag: 9. 9. 97
㉕ Offenlegungstag: 10. 9. 98

DE 197 39 513 A 1

③① Unionspriorität:
9-43954 27. 02. 97 JP
⑦① Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP
⑦④ Vertreter:
HOFFMANN · EITLE, 81925 München

⑦② Erfinder:
Nishiyuki, Hiroshi, Tokio/Tokyo, JP; Sakamoto,
Noboru, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ **Reserve-Redundanzsystem**

⑤⑦ Ein Reserve-Redundanzsystem weist eine Steuer-CPU-Einheit zum Steuern gesteuerter Maschinen sowie eine Reserve-CPU-Einheit auf, welche statt der Steuer-CPU-Einheit die gesteuerten Maschinen steuern kann, und zeichnet sich dadurch aus, daß eine Nachlaufvorrichtung vorgesehen ist, um zeitweilig einen Befehl zu speichern, der aus einer Anweisung und Daten besteht, und der von einem Peripheriegerät eingegeben wurde, zur Verarbeitung der Daten auf der Grundlage der Anweisung in dem Befehl, und zur Übertragung des zeitweilig gespeicherten Befehls an die zugehörige CPU-Einheit.

DE 197 39 513 A 1

Beschreibung

Die vorliegende Erfindung betrifft ein Reserve-Redundanzsystem einer programmierbaren Steuerung, die bei Industriemaschinen verwendet wird, usw., wobei das Reserve-Redundanzsystem aus einer Steuer-CPU-Einheit zum tatsächlichen Steuern gesteuerter Maschinen und einer Reserve-CPU-Einheit zum nachfolgenden Steuern der gesteuerten Maschinen besteht, wenn die Steuer-CPU-Einheit aus irgendeinem Grund nicht betriebsbereit ist, so daß die Steuer- und die Reserve-CPU-Einheit dieselben Dateien, Steuerinformationen und dieselbe Betriebsart aufweisen.

Fig. 10 zeigt als Blockschaltbild den Aufbau eines konventionellen Reserve-Redundanzsystems, welches beispielsweise in dem offengelegten japanischen Patent Nr. Hei-2-81101 beschrieben ist.

In dieser Figur bezeichnet das Bezugszeichen 10 eine Steuer-CPU-Einheit für die Online-Steuerung gesteuerter Maschinen, 110 eine Reserve-CPU-Einheit zum Steuern der gesteuerten Maschinen statt durch die Steuer-CPU-Einheit 10, wenn die Steuer-CPU-Einheit 10 ausfällt, 5 bezeichnet einen Schalter zum Umschalten der Leitungen, die den Eingang/Ausgang der CPU-Einheiten und der gesteuerten Maschinen verbinden, und 6 bezeichnet eine Übertragungsleitung zum Übertragen von Information, welche für eine Sicherung erforderlich ist.

Eingang/Ausgang der beiden CPU-Einheiten ist an die gesteuerten Maschinen über den Schalter 5 angeschlossen.

Die Reserve-CPU-Einheit 110 muß die Sicherungsfunktion der Steuer-CPU-Einheit 10 erfüllen, obwohl sie keine tatsächliche Steuerung ausführt. Daher weist die Reserve-CPU-Einheit 110 denselben Hardwareaufbau auf wie die Steuer-CPU-Einheit 10, und sind die CPU-Einheiten auch bezüglich der Daten enthaltenden internen Programme usw. gleich ausgebildet.

Daher empfängt die Reserve-CPU-Einheit 110 ständig Nachlaufinformation (Verfolgungsinformation) von der Steuer-CPU-Einheit 10 über die Übertragungsleitung 6.

Die Nachlaufinformation enthält Eingangsinformation, welche den Zustand der gesteuerten Maschine angibt, Steuerausgangsinformation, Standardprogramme, Zwischenergebnisse und Ergebnisdaten der Berechnung von Steueralgorithmien, die von Anwendungsprogrammen durchgeführt werden, Anwendungsprogramme, bei Steueroperationen verwendete Parameter, usw.

Als nächstes wird ein übliches Nachlaufverfahren unter Bezugnahme auf das in Fig. 11 gezeigte Flußdiagramm erläutert.

Zuerst werden im Schritt S1100 Systeminformation der Steuer-CPU-Einheit und Geräteinformation der Steuer-CPU-Einheit, mit einem von dem Benutzer vor dem Lauf eingestellten Bereich, abgezogen, und geht die Steuerung zum Schritt S1101 über.

Im Schritt S1101 wird die in der Steuer-CPU-Einheit abgezogene Information an einen Nachlaufspeicher in der Reserve-CPU-Einheit übertragen.

Im Schritt S1102 wird die an den Nachlaufspeicher in der Reserve-CPU-Einheit übertragene Information entweder in einem Gerätespeicher oder in einem Systemspeicher wiedergespiegelt.

Der in dem japanischen offengelegten Patent Nr. Hei 2-81101 beschriebene Nachlauf stellt jedoch nur eine Vorgehensweise zur Aufrechterhaltung der Identität jener Daten dar, die geändert wurden, nachdem das System einmal gestartet wurde, nämlich zwischen der arbeitenden Steuer-CPU-Einheit und der Reserve-CPU-Einheit.

Die Programme, Daten usw., die erforderlich sind, wenn das System gestartet wird, können jedoch nicht verfolgt

werden, und ihre Identität kann zwischen der Steuer- und der Reserve-CPU-Einheit nicht aufrechterhalten werden.

Im allgemeinen sollen Daten in einem vorbestimmten Bereich eines Speicherbereichs entsprechend einem von dem Benutzer eingestellten Parameter verfolgt werden, so daß Daten usw., die in Bereichen gespeichert sind, die sich von dem Speicherbereich unterscheiden, welcher die verfolgten Daten speichert, nicht als Nachlaufdaten verfolgt werden, und die Datenidentität nicht zwischen der Steuer- und Reserve-CPU-Einheit aufrechterhalten werden kann.

Unter Berücksichtigung der Verlässlichkeit des Nachlaufs (der Verfolgung) wird daher ein nachstehend geschildertes Verfahren dazu eingesetzt, Programme und Daten zwischen der Steuer- und Reserve-CPU-Einheit einzustellen.

Unter Bezugnahme auf die Fig. 12 sowie 13A bis 13C wird ein Einstellverfahren für Programme, Daten usw. beschrieben, welches zur Ausführung von Kommunikationsfunktionen dient, beispielsweise als Dateistapelschreibvorrichtung und Gerätestapelschreibvorrichtung für die Steuer- und die Reserve-CPU-Einheit in dem Reserve-Redundanzsystem.

Wie voranstehend geschildert müssen bei einem Reserve-Redundanzsystem sowohl die Steuer- als auch die Reserve-CPU-Einheit bezüglich der Programme und Daten gleich ausgebildet sein.

In einer Stopp-Betriebsart wird daher ein Peripheriegerät an die Ziel-CPU-Einheit über eine Kommunikationsleitung angeschlossen, und schreiben die Dateistapelschreibvorrichtung und die Gerätestapelschreibvorrichtung in der CPU-Einheit die Dateiinhalte und Geräteinformation, die von dem Peripheriegerät übertragen werden, in den Ziel-speicher ein, nämlich entweder den Gerätespeicher oder den Programmspeicher, in Reaktion auf eine Stapelschreibanforderung von Programmen, Daten, usw. von dem Peripheriegerät. Zum Zeitpunkt des Schreibens überprüft die CPU-Einheit den gesteuerten Bereich, usw. der geschriebenen Programme, Daten, usw. (Schritte S1200 und S1201).

Nach normaler Beendigung der Ausführung des Stapelschreibbefehls von dem Peripheriegerät werden Reaktionsdaten im Schritt S1202 erzeugt, und wird eine Reaktion, welche die Beendigung anzeigt, an das Peripheriegerät im Schritt S1203 zurückgeschickt (Fig. 13A).

Dann wird der Anschluß des Peripheriegerätes so geändert, daß dieses an die Reserve-CPU-Einheit angeschlossen ist (Fig. 13B), und dann wird dieselbe Schreibverarbeitung für die Reserve-CPU-Einheit auf der Grundlage von Fig. 10 durchgeführt (Fig. 13C).

Als nächstes wird eine Übertragung der Dateiinhalte in dem Programmspeicher, dem Gerätespeicher sowie einem externen Speicher der Steuer-CPU-Einheit an die entsprechenden Speicher der Reserve-CPU-Einheit (Programmspeicher, Gerätespeicher, und externer Speicher) untersucht.

Zuerst werden von dem Peripheriegerät aus die Dateistapelschreibvorrichtung und die Gerätestapelschreibvorrichtung für die Steuer-CPU-Einheit ausgeführt, auf der Grundlage von Fig. 12 (Fig. 13A), um einmal Daten in der Steuer-CPU-Einheit in das Peripheriegerät einzulesen.

Daraufhin muß die Verbindung des Peripheriegerätes so geändert werden, daß dieses nunmehr mit der Reserve-CPU-Einheit verbunden ist (Fig. 13B), um die von der Steuer-CPU-Einheit ausgelesene Information in den Zielspeicher der Reserve-CPU-Einheit einzulesen, durch die Dateistapelschreibvorrichtung und die Gerätestapelschreibvorrichtung der Kommunikationsdienstfunktionen (Fig. 13C).

Um die Programmdateien in dem Programmspeicher der Ziel-CPU-Einheit stapelweise von dem Peripheriegerät einzuschreiben muß, wenn die momentane Betriebsart der CPU-Einheit RUN (Ablauf) ist, diese auf STOP (Anhalten)

geändert werden.

Die Betriebsartänderung von RUN auf STOP oder von STOP auf RUN wird durch Umschalten eines Betriebsartumschalters von Hand der Reserve-CPU-Einheit durchgeführt, zur Anpassung der Änderung der Betriebsart der Steuer-CPU-Einheit, damit die Betriebsart der Reserve-CPU-Einheit ebenso ist wie jene der Steuer-CPU-Einheit in dem Reserve-Redundanzsystem.

Wie voranstehend geschildert muß, um die Identität von Daten sicherzustellen, die zwischen der Steuer- und der Reserve-CPU-Einheit nicht verfolgt werden können, ein Peripheriegerät getrennt an beide CPU-Einheiten zur Aufrechterhaltung der Datenidentität angeschlossen werden; es ist äußerst kompliziert, die Datenidentität sicherzustellen.

Im allgemeinen wird, um einen Teil eines Programms zu ändern, das geänderte Programm von einem Peripheriegerät zum Zeitpunkt der Ende-Verarbeitungszeit (END) in der RUN-Betriebsart eingeschrieben. Allerdings ist die Kapazität für das Programm, welches von dem Peripheriegerät über eine Kommunikationsleitung eingeschrieben werden kann, auf die begrenzte Zeit der Ende-Verarbeitung (END) beschränkt.

Weiterhin besteht seit einiger Zeit die Tendenz, Programme modular auszubilden und zur Ausbildung größerer Programme eng miteinander zu verbinden, wobei es unter Gesichtspunkten des Arbeitswirkungsgrades und der Verlässlichkeit von Programmen häufig sinnvoll ist, den gesamten Programmteil in einem Modulblock zu ändern, statt einen Teil des Programms in dem Block zu ändern.

Weiterhin wird bei der Ende-Verarbeitungszeit (END) in der RUN-Betriebsart die RUN-Betriebsart in die STOP-Betriebsart geändert, in welcher Programme stapelweise von einem Peripheriegerät eingeschrieben werden. Daher müssen die gesteuerten Maschinen angehalten werden, und sinkt der Arbeitswirkungsgrad ab.

Der Nachlauf oder die Verfolgung, bei welchem sämtliche Daten in dem eingestellten Bereich als Nachlaufdaten erkannt werden, erkennt auch ungeänderte Daten als Nachlaufdaten, was die für den Nachlauf (die Verfolgung) erforderliche Zeit verlängert.

Ein erstes Ziel der vorliegenden Erfindung besteht daher in der Verbesserung des Arbeitswirkungsgrades zur Aufrechterhaltung der Datenidentität in einem Reserve-Redundanzsystem.

Ein zweites Ziel der Erfindung besteht in der weiteren Verbesserung der Verlässlichkeit der Datenidentität.

Ein drittes Ziel der Erfindung besteht darin, eine Stapelprogrammänderung selbst während der RUN-Betriebsart in einem Reserve-Redundanzsystem zu ermöglichen, um den Arbeitswirkungsgrad zu verbessern.

Ein viertes Ziel der Erfindung besteht in der Verbesserung der Verlässlichkeit von Programmen, die stapelweise während der RUN-Betriebsart eingeschrieben werden.

Ein fünftes Ziel der Erfindung besteht in der verlässlichen Synchronisierung von Programmen-, die stapelweise während der RUN-Betriebsart eingeschrieben werden.

Ein sechstes Ziel der Erfindung besteht in der Bereitstellung eines wirksamen Nachlaufs in einem Reserve-Redundanzsystem.

Ein siebtes Ziel der Erfindung besteht darin, mit Betriebszustandsänderungen in einem Reserve-Redundanzsystem sobald wie möglich umzugehen, und effizient die Betriebsart zu ändern.

Gemäß der Erfindung wird ein Reserve-Redundanzsystem zur Verfügung gestellt, welches eine Steuer-CPU-Einheit zum Steuern gesteuerter Maschinen sowie eine Reserve-CPU-Einheit aufweist, welche statt der Steuer-CPU-Einheit die gesteuerten Maschinen steuern kann, und das

System zeichnet sich durch eine Nachlaufvorrichtung zur zeitweiligen Speicherung eines Befehls aus, der aus einer Anweisung und Daten besteht, die von einem Peripheriegerät eingegeben werden, zur Verarbeitung der Daten auf der Grundlage der Anweisung in dem Befehl, und zur Übertragung des zeitweilig gespeicherten Befehls an die zugehörige CPU-Einheit.

Die zugehörige CPU-Einheit, an welche der zeitweilig gespeicherte Befehl übertragen wird, verarbeitet die Daten auf der Grundlage der Anweisung in dem Befehl, stellt einen Fehler in dem Befehl fest, und schickt eine Mitteilung, welche den Fehler angibt, an das Peripheriegerät über die CPU-Einheit zurück, welche den Befehl überträgt.

Gemäß der Erfindung wird ein Reserve-Redundanzsystem zur Verfügung gestellt, welches eine erste CPU-Einheit zur zeitweiligen Speicherung eines Befehls aufweist, der aus einer Anweisung und einem Programm besteht, die von einem Peripheriegerät eingegeben werden, zum Speichern des Programms in einem ersten externen Speicher, der intern angeschlossen ist, auf der Grundlage der Anweisung in dem Befehl, während der Befehl bezüglich Fehlern überprüft wird, und zum Übertragen des zeitweilig gespeicherten Befehls an eine zweite CPU-Einheit, und eine zweite CPU-Einheit aufweist, um das Programm in einem zweiten externen Speicher zu speichern, der intern angeschlossen ist, auf der Grundlage der Anweisung in dem übertragenen Befehl, während der Befehl bezüglich Fehlern überprüft wird, und zum Zurückschicken des Ergebnisses der Überprüfung an die erste CPU-Einheit, wobei das Programm, welches in dem ersten und zweiten externen Speicher gespeichert ist, in die entsprechenden Speicher während der RUN-Betriebsart auf der Grundlage eines sequentiellen Programms eingeschrieben wird.

Darüber hinaus wird die Fehlerüberprüfung durch Abtasten des Programms durchgeführt.

Wenn in der ersten oder zweiten CPU-Einheit kein Fehler festgestellt wird, wird das in dem ersten und zweiten externen Speicher gespeicherte Programm in die entsprechenden Speicher während der RUN-Betriebsart in Reaktion auf eine Anforderung eingeschrieben, die von dem Peripheriegerät ausgegeben wird.

Wenn kein Fehler in der ersten oder zweiten CPU-Einheit festgestellt wird, wird das in dem ersten und zweiten externen Speicher gespeicherte Programm in die entsprechenden Speicher während der RUN-Betriebsart eingeschrieben, in Reaktion auf eine Anforderung, die von der ersten oder zweiten CPU-Einheit ausgegeben wird.

Gemäß der Erfindung wird ein Reserve-Redundanzsystem zur Verfügung gestellt, welches eine Steuer-CPU-Einheit zum Steuern gesteuerter Maschinen sowie eine Reserve-CPU-Einheit aufweist, welche statt der Steuer-CPU-Einheit die gesteuerten Maschinen steuern kann, wobei sich das System dadurch auszeichnet, daß eine Änderung der Daten in einem vorbestimmten Bereich eines internen Speichers festgestellt wird, eine Änderungsfeststellungsadresse und aktualisierte Daten hintereinander gespeichert werden, und nur die Adresse und die aktualisierten Daten, die gespeichert wurden, an die Reserve-CPU-Einheit zum Zeitpunkt des Datennachlaufs übertragen werden.

Gemäß der Erfindung wird ein Reserve-Redundanzsystem zur Verfügung gestellt, welches eine Steuer-CPU-Einheit zum Steuern gesteuerter Maschinen sowie eine Reserve-CPU-Einheit aufweist, welche statt der Steuer-CPU-Einheit die gesteuerten Maschinen steuern kann, wobei sich das System dadurch auszeichnet, daß der Betriebszustand der Steuer-CPU-Einheit für jede Abtastung gespeichert wird, und jedesmal dann, wenn die Abtastung beendet ist, der momentane Betriebszustand mit dem Betriebszustand

verglichen wird, der vor einer Abtastung eingestellt wurde, und dann, wenn eine Änderung des Betriebszustandes festgestellt wird, ein Befehl zur Änderung des Betriebszustandes an die Reserve-CPU-Einheit ausgegeben wird.

Die Erfindung wird nachstehend anhand zeichnerisch dargestellter Ausführungsbeispiele näher erläutert, aus welchen weitere Ziele, Merkmale und Vorteile der Erfindung hervorgehen. Es zeigt:

Fig. 1 ein Blockschaltbild des grundlegenden Aufbaus einer programmierbaren Steuerung (PC) eines Reserve-Redundanzsystems gemäß Ausführungsformen der Erfindung;

Fig. 2 ein detailliertes Blockschaltbild der internen Funktionen eines Mikroprogramm-ROM gemäß einer ersten Ausführungsform der Erfindung;

Fig. 3 ein Flußdiagramm des Betriebsablaufs einer Kommunikationsdienstanforderungsnachlauf-Vorrichtung bei der ersten Ausführungsform der Erfindung;

Fig. 4 ein Flußdiagramm des Betriebsablaufs der Ausführung eines Dateistapelschreibvorgangs zur selben Zeit sowohl in der Steuer- als auch in der Reserve-CPU-Einheit bei der ersten Ausführungsform der Erfindung;

Fig. 5 ein Flußdiagramm des Betriebsablaufs der Ausführung eines Gerätestapelschreibvorgangs zur selben Zeit in der Steuer- und der Reserve-CPU-Einheit bei einer zweiten Ausführungsform der Erfindung;

Fig. 6 ein Flußdiagramm des Betriebsablaufs der Ausführung einer RUN-Betriebsart-Stapeldateiübertragung zur selben Zeit sowohl in der Steuer- als auch der Reserve-CPU-Einheit bei einer dritten Ausführungsform der Erfindung;

Fig. 7 ein Flußdiagramm des Betriebsablaufs einer automatischen Übertragungsvorrichtung für Dateiinhalte in einen Speicher bei einer vierten Ausführungsform der Erfindung;

Fig. 8 ein Flußdiagramm des Betriebsablaufs einer automatischen Übertragungsvorrichtung für Systeminformation gemäß einer fünften Ausführungsform der Erfindung;

Fig. 9 ein Flußdiagramm des Betriebsablaufs einer automatischen Betriebsartverfolgungsvorrichtung gemäß einer sechsten Ausführungsform der Erfindung;

Fig. 10 ein Blockschaltbild des Aufbaus eines herkömmlichen Reserve-Redundanzsystems;

Fig. 11 ein Flußdiagramm der Datennachlaufoperation in dem konventionellen Reserve-Redundanzsystem;

Fig. 12 ein Flußdiagramm einer konventionellen Kommunikationsdienstanforderungsfunktions-Operation; und

Fig. 13A bis 13C Vorgänge zur Ausführung der konventionellen Kommunikationsdienstanforderungsfunktion für das Reserve-Redundanzsystem.

Als nächstes wird unter Bezugnahme auf die beigelegten Zeichnungen eine Erläuterung von Ausführungsformen der vorliegenden Erfindung mit weiteren Einzelheiten vorgenommen.

AUSFÜHRUNGSFORM 1

Eine erste Ausführungsform der Erfindung wird unter Bezugnahme auf die beigelegten Zeichnungen erläutert.

Fig. 1 zeigt als Blockschaltbild den grundlegenden Aufbau einer programmierbaren Steuerung (PC) eines Reserve-Redundanzsystems. Hierbei ist mit dem Bezugszeichen 1 eine Steuer-CPU-Einheit 1 zum tatsächlichen Steuern gesteuerter Maschinen beschrieben, und mit 100 eine Reserve-CPU-Einheit zur nachfolgenden Steuerung der gesteuerten Maschinen, wenn die Steuer-CPU-Einheit aus irgendeinem Grund nicht betriebsfähig ist. Das Bezugszeichen 2, 200 bezeichnet einen externen Speicher zum Speichern von Dateiregistern und Programmdateien, wobei der externe Speicher an die entsprechende CPU-Einheit über eine interne Buslei-

tung und dergleichen angeschlossen ist. Das Bezugszeichen 3, 300 bezeichnet ein Peripheriegerät, welches an die entsprechende CPU-Einheit über eine Kommunikationsleitung angeschlossen ist, damit die Benutzer Programme erzeugen und sie in der PC speichern können. Das Bezugszeichen 4, 400 bezeichnet einen Betriebsartumschalter, der dazu dient, von Hand die Betriebsart von STOP auf RUN oder von RUN auf STOP umzuschalten.

Das Bezugszeichen 11 bezeichnet eine CPU zur Ausführung von Programmen, 12 ein Mikroprogramm-ROM (Nur-Lese-Speicher) zum Speichern von Mikroprogrammen als Betriebssystem zum Steuern der CPU 11, das Bezugszeichen 13 bezeichnet einen Gerätespeicher zum Speichern von Geräteinformation, 14 bezeichnet einen Systemspeicher zum Speichern von Systeminformation zum Steuern der CPU 11, 15 bezeichnet einen Programmspeicher zum Speichern sequentieller Programme, 16 bezeichnet einen Nachlaufspeicher zum Speichern von Nachlaufdaten zwischen der Steuer- und der Reserve-CPU-Einheit 1 bzw. 100 in dem Reserve-Redundanzsystem, 17 bezeichnet eine Nachlaufschnittstelle zur Übertragung von Nachlaufdaten an die zugeordnete CPU-Einheit sowie von dieser in dem Reserve-Redundanzsystem, 18 bezeichnet eine Schnittstelle für einen externen Speicher zum Übertragen von Daten an den und von dem externen Speicher 2, und 19 bezeichnet eine Peripherieschnittstelle zur Übertragung von Daten an das und von dem Peripheriegerät 3.

Die Reserve-CPU-Einheit 100 weist denselben internen Aufbau auf wie die Steuer-CPU-Einheit 1. Daher enthält die Reserve-CPU-Einheit 100 eine CPU 101, ein Mikroprogramm-ROM 102, einen Gerätespeicher 103, einen Systemspeicher 104, einen Programmspeicher 105, einen Nachlaufspeicher 106, eine Nachlaufschnittstelle 107, eine Schnittstelle 108 für einen externen Speicher, und eine Peripherieschnittstelle 109, also entsprechend der CPU 11, dem Mikroprogramm-ROM 12, dem Gerätespeicher 13, dem Systemspeicher 14, dem Programmspeicher 15, dem Nachlaufspeicher 16, der Nachlaufschnittstelle 17, der Schnittstelle 18 für einen externen Speicher bzw. der Peripherieschnittstelle 19.

Fig. 2 ist ein Blockschaltbild eines Speichers, um Einzelheiten der internen Funktionen des Mikroprogramm-ROM 12, 102 gemäß der ersten Ausführungsform der Erfindung zu erläutern.

Bei dieser Ausführungsform umfassen die hauptsächlichsten Funktionen des Mikroprogramm-ROM 12, 102 eine Kommunikationsdienstfunktion 20, welche den Kommunikationsdienst zum Steuern der Datenübertragung zwischen dem Peripheriegerät und der CPU-Einheit 1, 100 betrifft, sowie Betriebsbefehle, die von dem Peripheriegerät 3 an die CPU-Einheit 1, 100 geschickt werden, eine Hauptfunktion 30 zur Feststellung einer Informationsänderung und einer Zustandsänderung zwischen der Steuer- und der Reserve-CPU-Einheit 1 bzw. 100, und eine Nachlauffunktion 40 zum Steuern der Datenübertragung zwischen der Steuer- und der Reserve-CPU-Einheit 1 bzw. 100 in dem Reserve-Redundanzsystem.

Die Kommunikationsdienstfunktion 20 weist im einzelnen folgende Vorrichtungen auf: eine Betriebsartänderungsvorrichtung 21 zum Ändern der Betriebsart auf eine bestimmte Betriebsart in Reaktion auf einen Befehl von dem Peripheriegerät 3; eine Dateistapelschreibvorrichtung 22 zum stapelweisen Einschreiben von Dateien von dem Peripheriegerät 3 in den angegebenen Programmspeicher 15 oder externen Speicher 2, eine Gerätestapelschreibvorrichtung 23 zum stapelweisen Einschreiben von Gerätwerten von dem Peripheriegerät 3 in den Gerätespeicher 13; eine Dateistapellesevorrichtung 24 zum Lesen angegebener Da-

teilen in dem angegebenen Programmspeicher 15 oder externen Speicher 2 der CPU-Einheit 1 stapelweise in das Peripheriegerät 3; eine Gerätestapellesevorrichtung 25 zum Einlesen angegebener Gerätewerte in dem Gerätespeicher 13 der CPU-Einheit 1 stapelweise in das Peripheriegerät 3, und eine RUN-Betriebsartstapeldatienübertragungsvorrichtung 26 zum Übertragen von Dateien, die vorher in dem externen Speicher 2 enthalten waren, an den Programmspeicher während der RUN-Betriebsart (zum Zeitpunkt der Endeverarbeitung nach Beendigung der Abtastung).

Die Hauptfunktion 30 weist im einzelnen folgende Vorrichtungen auf: eine Systeminformationserfassungsvorrichtung 31 zur automatischen Feststellung einer Systeminformationsänderung und zur Übertragung geänderter Systeminformation an die zugeordnete CPU-Einheit, und eine Betriebsartfassungsvorrichtung 32 zur Feststellung einer Betriebszustandsänderung der Ziel-CPU-Einheit und zur Übertragung einer festgestellten Betriebsartänderung an die zugeordnete CPU-Einheit.

Weiterhin weist die Nachlauffunktion 40 im einzelnen folgende Vorrichtungen auf: eine Datennachlaufvorrichtung 41 zur Übertragung von Systeminformation der Steuer-CPU-Einheit 1 und von Geräteinformation der Steuer-CPU-Einheit 1 in dem vom Benutzer festgelegten Bereich an die Reserve-CPU-Einheit 100, eine Kommunikationsdienstanforderungsnachlaufvorrichtung 42, die dazu dient, nach Empfang einer Kommunikationsdienstanforderung für die Steuer-CPU-Einheit 1 an den Reserve-Redundanzsystem von dem Peripheriegerät 3 dieselbe Kommunikationsdienstanforderung an die Reserve-CPU-Einheit 100 über eine Nachlaufeinheit zu schicken, und eine Dateiinhaltsnachlaufvorrichtung 43 zur Übertragung der Dateiinhalte in dem Programmspeicher 15 und dem externen Speicher 2 der Steuer-CPU-Einheit 1 an den entsprechenden Programmspeicher 105 und den externen Speicher 200 der Reserve-CPU-Einheit 100.

Fig. 3 zeigt im einzelnen als Flußdiagramm den Betriebsablauf der Kommunikationsdienstanforderungsnachlaufvorrichtung 41.

Wenn ein Befehl von der Kommunikationsdienstfunktion 20 von dem Peripheriegerät 3, welches an die Ziel-CPU-Einheit angeschlossen ist, an die Steuer-CPU-Einheit 1 ausgegeben wird, und von der Steuer-CPU-Einheit 1 im Schritt S300 empfangen wird, so wird die Kommunikationsdienstfunktion 20 in dem Mikroprogramm-ROM 12 in Reaktion auf die übertragenen Befehlsinhalte im Schritt S310 ausgeführt.

Die CPU 11 interpretiert daher die Anweisung oben im übertragenen Befehl, es wird ein Programm in dem Mikroprogramm-ROM 12 entsprechend der Anweisung gestartet, und die CPU 11 führt eine Verarbeitung von Daten, welche der Anweisung folgen, auf der Grundlage des Programms durch. Zu diesem Zeitpunkt überprüft die Steuer-CPU-Einheit 1, ob eine Befehlsverarbeitung tatsächlich-gesteuert werden kann oder nicht; die CPU 11 überprüft gesteuerte Bereiche, usw. des Programms, der Daten, usw., um zu ermitteln, ob das Programm, die Daten, usw. tatsächlich gültig sind.

Die CPU 11 speichert sämtliche Befehle, die von dem Peripheriegerät 3 übertragen werden, unverändert in dem Systemspeicher 14.

Nach Beendigung der Verarbeitung in Reaktion auf den übertragenen Befehl im Schritt S301 geht der Betriebsablauf zum Schritt S302 über, und werden Reaktionsdaten erzeugt, welche die normale oder nicht normale Beendigung anzeigen, für das Peripheriegerät 3.

Daraufhin wird im Schritt S303 überprüft, ob die Ausführung des Schritts S303 normal beendet wurde oder nicht.

Wenn die Ausführung nicht normal beendet wurde, geht der Betriebsablauf zum Schritt S304 über, und wird die im Schritt S302 erzeugte Antwort an das Peripheriegerät 3 zurückgeschickt, und wird der Vorgang abgebrochen.

Wenn die Ausführung im Schritt S303 normal beendet wurde, so wird die im Schritt S302 erzeugte Antwort gelöscht, und gibt die Kommunikationsdienstanforderungsnachlaufvorrichtung 41 denselben Befehl wie den Befehl der Kommunikationsdienstfunktion 20, der von der Steuer-CPU-Einheit 1 im Schritt S300 empfangen wurde, an den Nachlaufspeicher 106 der Reserve-CPU-Einheit 100 aus. Genauer gesagt gibt sie den empfangenen Befehl, der in dem Systemspeicher 14 gespeichert ist, an die Reserve-CPU-Einheit 100 über die Nachlaufschnittstelle 17 aus.

Wenn die Reserve-CPU-Einheit 100 den vollständig gleichen Befehl wie jenen Befehl, der von dem Peripheriegerät 3 ausgegeben und einmal in dem Nachlaufspeicher 106 über die Nachlaufschnittstelle 107 gespeichert wurde, von der Steuer-CPU-Einheit 1 im Schritt S305 empfängt, so führt die Vorrichtung in der Kommunikationsdienstfunktion, die auf den übertragenen Befehlsinhalt reagiert, die Verarbeitung im Schritt S306 durch. Zur Ausführung des Befehls interpretiert die CPU 101 die Anweisung oben im übertragenen Befehl, wird irgendein Programm in dem Mikroprogramm-ROM 102 entsprechend der Anweisung begonnen, und führt die CPU 101 die Verarbeitung von Daten, welche der Anweisung folgen, auf der Grundlage des Programms aus. Zu diesem Zeitpunkt überprüft die Reserve-CPU-Einheit 100, ob die Befehlsverarbeitung tatsächlich gesteuert werden kann oder nicht.

Nach Beendigung der Verarbeitung in Reaktion auf den übertragenen Befehl im Schritt S306 geht der Betriebsablauf zum Schritt S307 über, und werden Reaktionsdaten erzeugt, welche die normale oder nicht normale Beendigung anzeigen, für die Steuer-CPU-Einheit 1. Dann werden im Schritt S308 die Reaktionsdaten an den Nachlaufspeicher 16 der Steuer-CPU-Einheit 1 übertragen.

Nach Empfang der Reaktionsdaten, welche die normale oder nicht normale Beendigung anzeigen, von der Reserve-CPU-Einheit 100 schickt im Schritt S309 die Steuer-CPU-Einheit 1 die empfangenen Reaktionsdaten an das Peripheriegerät 3 zurück, welches den Befehl der Kommunikationsdienstfunktion an die Steuer-CPU-Einheit 1 im Schritt S300 ausgegeben hatte, und beendet die Verarbeitung.

Entsprechend der Reaktion von der Steuer-CPU-Einheit 1 kann das Peripheriegerät 3 überprüfen, ob die Verarbeitung auf der Grundlage des von dem Peripheriegerät 3 ausgegebenen Befehls durch die Steuer- oder die Reserve-CPU-Einheit 1 bzw. 100 normal ausgeführt wurde.

Als nächstes wird die Dateistapelschreibverarbeitung unter Bezugnahme auf das in Fig. 4 gezeigte Flußdiagramm erläutert.

Eine Anweisung, die Dateistapelschreibvorrichtung 22 der Kommunikationsdienstfunktion 20 zu starten, und ein Befehl, an welchen die zu schreibende Datei angehängt ist, werden von dem an die Steuer-CPU-Einheit 1 angeschlossenen Peripheriegerät 3 ausgegeben, wodurch der Betriebsablauf entsprechend dem in Fig. 4 gezeigten Flußdiagramm begonnen wird. Im Schritt S400 empfängt die CPU 11 der Steuer-CPU-Einheit 1 einen Befehl über die Peripherieschnittstelle 19 von dem Peripheriegerät 3, wodurch der Betriebsablauf zum Schritt S401 übergeht.

Im Schritt S401 interpretiert die CPU 11 eine Anweisung oben im übertragenen Befehl, liest ein Programm der Dateistapelschreibvorrichtung 22 in dem Mikroprogramm-ROM 12, und führt das Programm aus. Das Programm der Dateistapelschreibvorrichtung 22 schreibt die Datei, die an die Anweisung angehängt ist, in einen vorbestimmten Bereich

des externen Speichers 2 oder des Programmspeichers 15 ein, der in der Anweisung festgelegt ist.

Wenn die Datei in den vorbestimmten Bereich des externen Speichers 2 oder des Programmspeichers 15 durch die Dateistapelschreibvorrichtung 22 eingeschrieben wird, wird durch die Funktion der CPU 11 auf der Grundlage der Dateistapelschreibvorrichtung 22 überprüft, ob Betriebscode eines Programms und angefügte Information in der übertragenen Datei innerhalb eines vorbestimmten Bereiches liegen oder nicht.

Im Schritt S402 werden Reaktionsdaten erzeugt, welche die normale oder nicht normale Beendigung der Ausführung des Befehls anzeigen, und der Betriebsablauf geht zum Schritt S403 über.

Im Schritt S403 wird überprüft, ob die Befehlsverarbeitung normal beendet wurde oder nicht. Wurde die Befehlsverarbeitung nicht normal beendet, so geht der Betriebsablauf zum Schritt S404 über, in welchem eine Mitteilung, welche anzeigt, daß der Befehl für die Steuer-CPU-Einheit 1 zu einem Fehler führt, zurückgeschickt, und wird der Vorgang beendet.

Wenn die Befehlsverarbeitung normal beendet wird, wird die im Schritt S402 vorbereitete Antwort gelöscht, und wird von dem Mikroprogramm-ROM 2 die Kommunikationsdienstanforderungsnachlaufvorrichtung 41 gestartet, um denselben Befehl zu übertragen wie jenen Befehl, der von dem Peripheriegerät 3 an die Reserve-CPU-Einheit 100 übertragen wurde.

Die CPU 11 holt sich den vom Peripheriegerät 3 übertragenen Befehl von dem Systemspeicher 14, in dem der Befehl gespeichert ist, und gibt den Befehl an den Nachlaufspeicher 106 der Reserve-CPU-Einheit 100 über die Nachlaufschnittstelle durch die Kommunikationsdienstanforderungsnachlaufvorrichtung 41 aus.

Wenn im Schritt S405 die Reserve-CPU-Einheit 100 den an den Nachlaufspeicher 106 übertragenen Befehl empfängt, geht der Betriebsablauf zum Schritt S406 über.

Im Schritt S406 interpretiert die CPU 101 die Anweisung des Befehls, der in dem Nachlaufspeicher 106 empfangen wurde, und erkennt, daß der Befehl ein Befehl zum stapelweisen Schreiben einer Datei von der Steuer-CPU-Einheit 1 ist.

Die CPU 101 liest das Programm der Dateistapelschreibvorrichtung in dem Mikroprogramm-ROM 102 und führt dieses aus, und schreibt die angefügte Datei in einen vorbestimmten Bereich des externen Speichers 200 oder des Programmspeichers 105, der in der Anweisung festgelegt wurde.

Bei der Schreibverarbeitung in der Reserve-CPU-Einheit 100 wird ebenfalls eine Überprüfung durch die Funktion der CPU 101 durchgeführt, auf der Grundlage der Dateistapelschreibvorrichtung, die von der Steuer-CPU-Einheit 1 ausgeführt wird.

Im Schritt S407 werden Reaktionsdaten erzeugt, welche die normale oder nicht normale Beendigung der Ausführung des Befehls anzeigen. Dann werden im Schritt S408 die Reaktionsdaten an den Nachlaufspeicher 16 der Steuer-CPU-Einheit 1 über die Nachlaufschnittstelle übertragen.

Nach Empfang der Reaktionsdaten, welche die normale oder nicht normale Beendigung anzeigen, von der Reserve-CPU-Einheit 100 schickt die Steuer-CPU-Einheit 1 die empfangenen Reaktionsdaten an das Peripheriegerät 3 im Schritt S409 zurück, und beendet die Verarbeitung.

Bei der vorliegenden Ausführungsform ist für die vorherige Verarbeitung, bei welcher das Peripheriegerät 3 getrennt an die Steuer- und die Reserve-CPU-Einheit 1 bzw. 100 zum Schreiben von Dateien angeschlossen ist, die Kommunikationsdienstanforderungsnachlaufvorrichtung als

CPU-Funktion vorgesehen, wodurch dann, wenn ein Befehl von dem Peripheriegerät ausgegeben wird, die Steuer-CPU-Einheit 1 denselben Befehl auch an die Reserve-CPU-Einheit 100 übertragen kann, um stapelweise Dateien in die Steuer- und die Reserve-CPU-Einheit 1 bzw. 100 einzuschreiben. Daher kann der Wirkungsgrad des Benutzers in Bezug auf Programmänderungen zum Zeitpunkt des Startens des Systems usw. verbessert werden.

Wenn Dateien stapelweise geschrieben werden, wird eine Reaktion von der Reserve-CPU-Einheit 100 an das Peripheriegerät übertragen, bei welchem überprüft werden kann, ob die Dateien verlässlich geschrieben werden können oder nicht; es kann auch die Verlässlichkeit berücksichtigt werden, die dann ein Problem darstellt, wenn ein Programm über eine Kommunikationsleitung übertragen wird. Als Merkmal des Redundanzsystems kann daher, wenn die Steuer-CPU-Einheit 1 aus irgendeinem Grund nicht betriebsfähig ist, die Reserve-CPU-Einheit 100 daraufhin die gesteuerten Maschinen mit demselben Programm steuern. Darüber hinaus kann, anders als bei dem konventionellen Nachlauf, das Schreiben von Dateien unabhängig von dem festgelegten Bereich des Speichers für den Nachlauf usw. durchgeführt werden.

AUSFÜHRUNGSFORM 2

Anhand einer zweiten Ausführungsform der Erfindung wird die Operation der Ausführung eines Gerätestapelschreibvorgangs gleichzeitig sowohl in der Steuer- als auch in der Reserve-CPU-Einheit unter Bezugnahme auf Fig. 5 erläutert.

Eine Anweisung zum Starten der Gerätestapelschreibvorrichtung 23 der Kommunikationsdienstfunktion 20 und ein Befehl, an welchen die zu schreibende Datei angefügt ist, werden von dem Peripheriegerät 3 ausgegeben, welches an die Steuer-CPU-Einheit 1 angeschlossen ist, wodurch der Betriebsablauf entsprechend dem in Fig. 5 gezeigten Flußdiagramm in Gang gesetzt wird. Im Schritt S500 empfängt die CPU 11 der Steuer-CPU-Einheit 1 einen Befehl durch die Peripherieschnittstelle 19 von dem Peripheriegerät 3, wodurch der Betriebsablauf zum Schritt S501 übergeht.

Im Schritt S501 interpretiert die CPU 11 eine Anweisung oben im übertragenen Befehl, liest ein Programm der Gerätestapelschreibvorrichtung 23 in dem Mikroprogramm-ROM 12, und führt das Programm aus. Das Programm der Gerätestapelschreibvorrichtung 23 schreibt die zu schreibende Geräteinformation, die an die Anweisung angefügt ist, in einen vorbestimmten Bereich des Gerätespeichers 13, der in der Anweisung festgelegt ist.

Wenn die Geräteinformation in den vorbestimmten Bereich des Gerätespeichers 13 durch die Gerätestapelschreibvorrichtung 23 eingeschrieben wird, wird durch die Funktion der CPU 11 auf der Grundlage der Gerätestapelschreibvorrichtung 23 überprüft, ob das oberste Gerät, dessen Geräteinformation eingeschrieben werden soll, und das letzte Gerät, welches von dem obersten Gerät gefunden wird, sowie die Anzahl an Punkten innerhalb jenes Gerätebereichs liegen oder nicht, der in einem Parameter eingestellt ist.

Im Schritt S502 werden Reaktionsdaten erzeugt, welche die normale oder nicht normale Beendigung der Ausführung des Befehls anzeigen, und dann geht der Betriebsablauf zum Schritt S503 über.

Im Schritt S503 wird überprüft, ob die Befehlsverarbeitung normal beendet wurde oder nicht. Wurde die Befehlsverarbeitung nicht normal beendet, so geht der Betriebsablauf zum Schritt S504 über, in welchem eine Benachrichtigung zurückgeschickt wird, daß der Befehl für die Steuer-CPU-Einheit 1 zu einem Fehler führt, und dann wird der

Vorgang beendet.

Wenn die Befehlsverarbeitung normal beendet wird, wird die im Schritt S502 vorbereitete Antwort gelöscht, und wird vom Mikroprogramm-ROM 2 die Kommunikationsdienst-anforderungsnachlaufvorrichtung 41 gestartet, um denselben Befehl wie den Befehl, der von dem Peripheriegerät 3 übertragen wurde, an die Reserve-CPU-Einheit 100 zu übertragen.

Die CPU 11 holt sich den Befehl, der von dem Peripheriegerät 3 übertragen wurde, von dem Systemspeicher 14, in welchem der Befehl gespeichert ist, und gibt den Befehl an den Nachlaufspeicher 106 der Reserve-CPU-Einheit 100 über die Nachlaufschnittstelle durch die Kommunikationsdienst-anforderungsnachlaufvorrichtung 41 aus.

Wenn die Reserve-CPU-Einheit 100 im Schritt S505 den an den Nachlaufspeicher 106 übertragenen Befehl empfängt, geht der Betriebsablauf zum Schritt S506 über.

Im Schritt S506 interpretiert die CPU 101 die Anweisung des Befehls, der in dem Nachlaufspeicher 106 empfangen wurde, und erkennt, daß es sich bei dem Befehl um einen Gerätestapelschreibbefehl von der Steuer-CPU-Einheit 1 handelt.

Die CPU 101 liest das Programm der Gerätestapelschreibvorrichtung in dem Mikroprogramm-ROM 102 und führt das Programm aus, und schreibt die beigefügte Datei in einen vorbestimmten Bereich des Gerätespeichers 103, der in der Anweisung festgelegt ist.

Bei der Schreibverarbeitung in der Reserve-CPU-Einheit 100 wird ebenfalls eine Überprüfung durch die Funktion der CPU 101 durchgeführt, auf der Grundlage der Gerätestapelschreibvorrichtung, die von der Steuer-CPU-Einheit 1 ausgeführt wird.

Im Schritt S507 werden Reaktionsdaten erzeugt, welche die normale oder nicht normale Beendigung der Befehlsausführung anzeigen. Dann werden im Schritt S508 die Reaktionsdaten an den Nachlaufspeicher 16 der Steuer-CPU-Einheit 1 über die Nachlaufschnittstelle übertragen.

Nach Empfang der Reaktionsdaten, welche die normale oder nicht normale Beendigung anzeigen, von der Reserve-CPU-Einheit 100 schickt im Schritt S509 die Steuer-CPU-Einheit 1 die empfangenen Reaktionsdaten an das Peripheriegerät 3 zurück, welches den Befehl der Kommunikationsdienstfunktion 20 an die Steuer-CPU-Einheit 1 geschickt hat, und beendet die Verarbeitung.

Bei der vorliegenden Ausführungsform ist für die vorherige Verarbeitung, bei welcher das Peripheriegerät 3 getrennt an die Steuer- und die Reserve-CPU-Einheit 1 bzw. 100 zum Schreiben von Dateien angeschlossen ist, die Kommunikationsdienst-anforderungsnachlaufvorrichtung als die CPU-Funktion vorgesehen, wodurch dann, wenn ein Befehl ausgegeben wird, die Steuer-CPU-Einheit 1 denselben Befehl auch an die Reserve-CPU-Einheit 100 zum Schreiben von Geräterwerten übertragen kann, nämlich von Geräteinformation, und zwar stapelweise in die Steuer- und in die Reserve-CPU-Einheit 1 bzw. 100; der Wirkungsgrad des Benutzers bezüglich Programmänderungen zum Zeitpunkt des Startens des Systems usw. kann daher verbessert werden.

Wenn Dateien stapelweise geschrieben werden, wird eine Reaktion von der Reserve-CPU-Einheit 100 an das Peripheriegerät übertragen, wodurch verlässlich überprüft werden kann, ob die Information geschrieben werden kann oder nicht; hierbei kann auch die Verlässlichkeit berücksichtigt werden, die dann ein Problem darstellt, wenn Daten über eine Kommunikationsleitung übertragen werden.

Anders als bei dem konventionellen Nachlauf kann das Schreiben von Geräteinformation unabhängig von dem Nachlauffestlegungsbereich des Speichers zum Speichern

von Gerätedaten usw. ausgeführt werden. Wenn nämlich verfolgte Gerätedaten über mehrere Nachlauffestlegungsbe-reiche verteilt sind, können Gerätedaten stapelweise geschrieben werden, um die Identität der Geräteinformation aufrechtzuerhalten, und kann dann, wenn die Steuer-CPU-Einheit 1 nicht betriebsfähig ist, die Reserve-CPU-Einheit 100 daraufhin die gesteuerten Maschinen steuern, was ein Merkmal des Redundanzsystems darstellt.

AUSFÜHRUNGSFORM 3

Anhand einer dritten Ausführungsform wird unter Bezugnahme auf Fig. 6 der Vorgang der Ausführung einer RUN-Betriebsartstapeldateiübertragung zur selben Zeit sowohl in einer Steuer- als auch einer Reserve-CPU-Einheit erläutert.

Bei der dritten Ausführungsform wird ein Dateistapelschreibvorgang in die Steuer- und die Reserve-CPU-Einheit 1 bzw. 100 von dem Peripheriegerät 3 einmal in die externen Speicher 2 und 200 herein durchgeführt, gemäß der bezüglich der ersten Ausführungsform erläuterten Verarbeitung, dann werden die geschriebenen Dateien in den Programmspeichern 15 und 105 über die interne Busleitung stapelweise zur Ende-Verarbeitungszeit (END) während der RUN-Betriebsart des Programms wiederhergestellt.

Eine spezielle Verarbeitungsprozedur wird nunmehr unter Bezugnahme auf Fig. 6 erläutert.

Zuerst werden im Schritt S600 eine Anweisung zum Starten der Dateistapelschreibvorrichtung 22 der Kommunikationsdienstfunktion 20 und ein Befehl ausgegeben, an welchen die zu schreibende Datei angehängt ist, wodurch der Betrieb gemäß dem in Fig. 4 gezeigten Flußdiagramm begonnen wird. Wie bei der ersten Ausführungsform schreibt die Dateistapelschreibvorrichtung 22 die Programmdatei, die geändert werden soll, während der RUN-Betriebsart in die externen Speicher 2 und 200 sowohl der Steuer- als auch der Reserve-CPU-Einheit ein, ohne die Programmausführung zu beeinflussen, im Schritt S601.

Im Schritt S602 wird festgestellt, ob der Schreibvorgang für die Programmdatei in die Steuer- und die Reserve-CPU-Einheit 1 bzw. 100 normal beendet wird oder nicht, auf der Grundlage von Reaktionsdaten von der Steuer- oder der Reserve-CPU-Einheit 1 bzw. 100. Wenn die Reaktionsdaten eine nicht normale Beendigung anzeigen, wird der Vorgang beendet.

Wenn das Peripheriegerät 3 die normale Beendigung des Schreibens der Stapeldatei in die externen Speicher 2 und 200 der Steuer- bzw. Reserve-CPU-Einheit 1 bzw. 100 entsprechend den über die Steuer-CPU-Einheit 1 übertragenen Reaktionsdaten feststellt, gibt es einen Befehl zum Starten der RUN-Betriebsart-Stapeldateiübertragungsvorrichtung 26 an die Steuer-CPU-Einheit 1 des Reserve-Redundanzsystems aus.

Wenn die Steuer-CPU-Einheit 1 den Befehl der RUN-Betriebsart-Stapeldateiübertragungsvorrichtung 26 von dem Peripheriegerät 3 empfängt, interpretiert sie die Anweisung des Befehls, und geht zum Schritt S604 über, um das Programm der RUN-Betriebsart-Stapeldateiübertragungsvorrichtung 26 in dem Mikroprogramm-ROM 2 zu lesen und auszuführen.

Das Programm auf der Grundlage der RUN-Betriebsart-Stapeldateiübertragungsvorrichtung 26 überträgt die in dem externen Speicher 2 gespeicherte Programmdatei an einen vorbestimmten Bereich des Programmspeichers 15 über die interne Busleitung und dergleichen, die während der RUN-Betriebsart angeschlossen ist, und zwar zur Zeit der END-Verarbeitungszeit.

Wenn die RUN-Betriebsart-Stapeldateiübertragungsvorrichtung 26 eine Programmdatei von dem externen Speicher

2 an einen vorbestimmten Bereich des Programmspeichers 15 überträgt, wird die Funktion der CPU 11 auf der Grundlage der RUN-Betriebsart-Stapeldateiübertragungsvorrichtung 26 durchgeführt, um zu überprüfen, ob der Betriebscode des Programms in der Datei und angefügte Information innerhalb eines vorbestimmten Bereiches liegen oder nicht, und ob ein neu übertragenes Programm normal ohne Probleme beim Einstellen usw. ausgeführt werden kann oder nicht, als Ergebnis der sequentiellen Ausführung eines Programms in der Datei bei einer Antastung.

Da die Programmdateiübertragung während der RUN-Betriebsart eine interne Verarbeitung darstellt, bei welcher die Programmdatei von dem externen Speicher 2 über den internen Bus usw. an den Programmspeicher 15 übertragen wird, ist die zur Übertragung der Datei erforderliche Zeit kürzer als die Dateiübertragungszeit von dem Peripheriegerät 3 an den externen Speicher 2 der Ziel-CPU-Einheit 1 über die Kommunikationsleitung im Schritt S600, und kann die Programmdateiübertragung während der RUN-Betriebsart mit hoher Geschwindigkeit ausgeführt werden. Daher kann ein umfangreiches Programm in dem Programmspeicher 15 stapelweise während der RUN-Betriebsart geändert werden.

Im Schritt S605 werden Reaktionsdaten erzeugt, welche die normale oder nicht normale Beendigung der Befehlsausführung anzeigen, und der Betriebsablauf geht zum Schritt S606 über.

Im Schritt S606 wird überprüft, ob die Befehlsverarbeitung normal beendet wird oder nicht. Wird die Befehlsverarbeitung nicht normal beendet, geht der Betriebsablauf zum Schritt S607 über, in welchem eine Nachricht, welche anzeigt, daß der Befehl für die Steuer-CPU-Einheit 1 zu einem Fehler führt, an das Peripheriegerät 3 zurückgeschickt wird, und endet der Vorgang.

Wenn die Befehlsverarbeitung normal beendet wird, wird die im Schritt S605 vorbereitete Reaktion gelöscht, und wird von dem Mikroprogramm-ROM 2 die Kommunikationsdienstanforderungsnachlaufvorrichtung 41 gestartet, um denselben Befehl wie jenen, der von dem Peripheriegerät 3 ausgegeben wurde, an die Reserve-CPU-Einheit 100 zu übertragen.

Die CPU 11 holt sich den Befehl der RUN-Betriebsart-Stapeldateiübertragungsvorrichtung 26, der von dem Peripheriegerät 3, übertragen wurde, von dem Systemspeicher 14, in welchem der Befehl gespeichert ist, und gibt den Befehl an den Nachlaufspeicher 106 der Reserve-CPU-Einheit 100 über die Nachlaufschnittstelle durch die Kommunikationsdienstanforderungsnachlaufvorrichtung 41 aus.

Wenn im Schritt S608 die Reserve-CPU-Einheit 100 den an den Nachlaufspeicher 106 übertragenen Befehl empfängt, geht der Betriebsablauf zum Schritt S609 über.

Im Schritt S609 interpretiert die CPU 101 die Anweisung des Befehls, der in dem Nachlaufspeicher 106 empfangen wurde, und erkennt, daß es sich beim Befehl um eine RUN-Betriebsart-Stapeldateiübertragung von der Steuer-CPU-Einheit 1 handelt.

Die CPU 101 liest das Programm der RUN-Betriebsart-Stapeldateiübertragungsvorrichtung in dem Mikroprogramm-ROM 102 und führt das Programm aus, und überträgt die Programmdatei, die in den externen Speicher 200 im Schritt S601 eingeschrieben wurde, auf einen vorbestimmten Bereich des Programmspeichers 105 über die interne Busleitung usw.

Bei der Übertragungsverarbeitung in der Reserve-CPU-Einheit 100 überprüft die Steuer-CPU-Einheit 1 auch die Funktion der CPU 101, auf der Grundlage der RUN-Betriebsart-Stapeldateiübertragungsvorrichtung.

Da die Programmdateiübertragung während der RUN-

Betriebsart eine interne Verarbeitung ist, bei welcher die Programmdatei von dem externen Speicher 200 über die interne Busleitung usw. an den Programmspeicher 105 übertragen wird, ist die zur Übertragung der Datei erforderliche Zeit kürzer als die Dateiübertragungszeit von dem Peripheriegerät 3 an den externen Speicher 200 der Reserve-CPU-Einheit 100 über die Kommunikationsleitung im Schritt S601, und kann daher die Programmdateiübertragung während der RUN-Betriebsart mit hoher Geschwindigkeit durchgeführt werden. Daher kann ein Programm mit großem Umfang in dem Programmspeicher 105 stapelweise während der RUN-Betriebsart geändert werden.

Im Schritt S610 werden Reaktionsdaten erzeugt, welche die normale oder nicht normale Beendigung der Befehlsausführung anzeigen. Dann werden im Schritt S611 die Reaktionsdaten an den Nachlaufspeicher 16 der Steuer-CPU-Einheit 1 über die Nachlaufschnittstelle übertragen.

Nach Empfang der Reaktionsdaten, welche die normale oder nicht normale Beendigung anzeigen, von der Reserve-CPU-Einheit 100 schickt im Schritt S612 die Steuer-CPU-Einheit 1 die empfangenen Reaktionsdaten an das Peripheriegerät 3 zurück, welches den Befehl der Kommunikationsdienstfunktion 20 an die Steuer-CPU-Einheit 1 ausgegeben hat, und beendet die Verarbeitung.

Bei dieser Ausführungsform wird, falls nicht das Schreiben der Datei in die externen Speicher sowohl der Steuer- als auch der Reserve-CPU-Einheit nicht normal beendet wurde, entsprechend der Reaktion von der Steuer- und der Reserve-CPU-Einheit 1 bzw. 100, eine RUN-Betriebsart-Stapeldateischreibenanforderung von dem Peripheriegerät ausgegeben, um einen RUN-Betriebsart-Stapeldateischreibvorgang auszuführen. Die Steuer-CPU-Einheit 1, welche eine Reaktion empfängt, welche die normale Beendigung anzeigt, von der Reserve-CPU-Einheit 100, kann jedoch eine RUN-Betriebsart-Stapeldateischreibenanforderung ausgeben.

Die Befehlsübertragung an die Reserve-CPU-Einheit 100 bedeutet, daß eine normale Beendigung in der Steuer-CPU-Einheit 1 erfolgt ist. Wenn daher die Verarbeitung in der Reserve-CPU-Einheit 100 normal beendet wird, wird die Verarbeitung sowohl in der Steuer- als auch in der Reserve-CPU-Einheit normal beendet, und kann die Reserve-CPU-Einheit 100 eine RUN-Betriebsart-Stapeldateischreibenanforderung an die Steuer-CPU-Einheit 1 ausgeben.

Bei der dritten Ausführungsform ist für die vorherige Verarbeitung, bei welcher das Peripheriegerät 3 getrennt an die Steuer- und die Reserve-CPU-Einheit 1 bzw. 100 angeschlossen wurde, um Dateien zu schreiben, die Kommunikationsdienstanforderungsnachlaufvorrichtung als CPU-Funktion vorgesehen, wodurch dann, wenn ein Befehl ausgegeben wird, die Steuer-CPU-Einheit 1 diesen Befehl auch an die Reserve-CPU-Einheit 100 übertragen kann, um stapelweise Dateien in die externen Speicher 2 und 200 der Steuer- und der Reserve-CPU-Einheit 1 bzw. 100 zu schreiben.

Die Programmdateien, die in die externen Speicher 2 und 200 eingeschrieben wurden, können an die Programmspeicher 15 und 105 stapelweise mit hoher Geschwindigkeit durch interne Verarbeitung übertragen werden, wobei die interne Busleitung usw. an die externen Speicher angeschlossen ist.

Eine Programmdatei, die bislang beispielsweise nur im Umfang von 500 K bei der END-Verarbeitung während der RUN-Betriebsart geschrieben werden konnte, kann daher dadurch stapelweise geschrieben werden, daß die Vorteile der internen Verarbeitung über den Bus von dem externen Speicher bei der dritten Ausführungsform optimal genutzt werden; die gesteuerten Maschinen usw. müssen nicht in die

STOP-Betriebsart versetzt werden, was den Produktionswirkungsgrad weiter verbessert.

Bei dem Reserve-Redundanzsystem ist es für die Steuer- und die Reserve-CPU-Einheit 1 bzw. 100 wesentlich, daß ein Programm mit demselben Zeitablauf abläuft; bei der vorliegenden Ausführungsform können Programme darüber hinaus stapelweise gleichzeitig geändert werden, was die Verlässlichkeit des Reserve-Redundanzsystems weiter verbessert.

Durch den modularen Aufbau von Programmen in den vergangenen Jahren können darüber hinaus sämtliche modular aufgebauten Programme stapelweise in kurzer Zeit während der RUN-Betriebsart geändert werden; hierdurch kann der Arbeitswirkungsgrad und die Verlässlichkeit bei der Programmänderung verbessert werden.

Wenn Dateien stapelweise geschrieben werden, wird eine Reaktion von der Reserve-CPU-Einheit 100 an das Peripheriegerät übertragen, wobei überprüft werden kann, ob die Dateien verlässlich geschrieben werden können oder nicht; hierbei kann auch die Verlässlichkeit berücksichtigt werden, die ein Problem darstellt, wenn ein Programm über eine Kommunikationsleitung übertragen wird. Als Merkmal des Redundanzsystems kann daher, wenn die Steuer-CPU-Einheit 1 nicht betriebsfähig ist, die Reserve-CPU-Einheit 100 daraufhin die gesteuerten Maschinen mit demselben Programm steuern.

AUSFÜHRUNGSFORM 4

Auf der Grundlage einer vierten Ausführungsform der Erfindung wird die Operation der Ausführung einer Dateiinhaltsverfolgung gleichzeitig sowohl in der Steuer- als auch der Reserve-CPU-Einheit auf der Grundlage eines Flußdiagramms erläutert, welches vor der RUN-Betriebsart gestartet wird, nämlich während der STOP-Betriebsart, bei dem in Fig. 7 gezeigten Reserve-Redundanzsystem.

Im Schritt S700 werden eine oder mehrere angegebene Dateien in dem Programmspeicher 15 oder dem externen Speicher 2, die an die Reserve-CPU-Einheit 100 übertragen werden sollen, stapelweise in der Steuer-CPU-Einheit 1 in dem Reserve-Redundanzsystem entnommen, und überträgt die Dateiinhaltsnachlaufvorrichtung 42 eine Anweisung, welche eine Dateistapelübertragung angibt, und einen Befehl, der die Dateiinhalte enthält, an den Nachlaufspeicher 106 der Reserve-CPU-Einheit 100.

Im Schritt S701 interpretiert die CPU 101 der Reserve-CPU-Einheit 100 den Befehl, der von der Steuer-CPU-Einheit 1 an den Nachlaufspeicher 106 übertragen wurde, und setzt die Dateiinhaltsnachlaufvorrichtung zur Durchführung der Dateistapelübertragung in Betrieb. Dann geht die CPU 101 zum Schritt S702 über, und schreibt die ausgewählte Datei oder Dateien in dem Programmspeicher 15 oder dem externen Speicher 2, die im Schritt S700 abgezogen wurden, in den Ziel-Programmspeicher 105 oder den externen Speicher 200. Nach Beendigung des Dateischreibvorgangs schickt die Reserve-CPU-Einheit 100 eine Reaktion, welche die Beendigung des Schreibens der Datei anzeigt, an den Nachlaufspeicher 6 der Steuer-CPU-Einheit 1 im Schritt S703 zurück.

Die Dateinachlauffunktion ist nunmehr fertig.

Bei der vorliegenden Ausführungsform kann die Konsistenz der Steuer-CPU-Einheit und der Reserve-CPU-Einheit 1 bzw. 100 für jede Datei zur Verfügung gestellt werden. In Abschnitten, in welchen die Identität bei den konventionellen Nachlaufdaten nicht aufrechterhalten werden kann, nur in den Zielbereichen in einer Datei, wird daher für jede Datei die Identität aufrechterhalten, wodurch die Datenidentität in dem Reserve-Redundanzsystem weiter verbessert wird,

und die Verlässlichkeit des Systems weiter erhöht wird.

Darüber hinaus kann die Zeit verkürzt werden, die zur Verfolgung von Daten über mehrere Orte erforderlich ist, da die Daten stapelweise verfolgt werden können.

Bislang wurde das Peripheriegerät 3 getrennt an die Steuer- und an die Reserve-CPU-Einheit angeschlossen, um die Identität für jede Datei aufrechtzuerhalten. Dieser Schritt wird allerdings nunmehr unnötig, und so wird der Arbeitswirkungsgrad verbessert.

AUSFÜHRUNGSFORM 5

Anhand einer fünften Ausführungsform der Erfindung wird der Betrieb einer automatischen Übertragungsvorrichtung für Systeminformation auf der Grundlage eines Flußdiagramms erläutert, welches während der RUN-Betriebsart bei dem in Fig. 8 gezeigten Reserve-Redundanzsystem gestartet wird.

Im Schritt S800 überwacht die CPU 11 der Steuer-CPU-Einheit 1 in dem Reserve-Redundanzsystem ständig Werteänderungen der Systeminformation in dem Systemspeicher 14, Geräteinformation in dem Gerätespeicher 3, und Dateiregisterinformation in dem externen Speicher 2, auf der Grundlage der Systeminformationserfassungsvorrichtung 31 in dem Mikroprogramm-ROM 12. Im einzelnen ist ein vorbestimmter Bereich in dem Systemspeicher 14 vorgesehen, und werden jedesmal dann, wenn ein Speicherwert geändert wird (ein Wert eingeschrieben wird) die Schreibadresse und der neue Wert in diesem Bereich gleichzeitig durch die Funktion der CPU 11 gespeichert, auf der Grundlage der Systeminformationserfassungsvorrichtung 31.

Im Schritt S801 überträgt, wenn eine Wertänderung als Ergebnis der Interpretation in dem Systemspeicher 14 auftritt, die Steuer-CPU-Einheit 1 den aktualisierten Informationsort und die aktualisierte Werteänderungsinformation an den Nachlaufspeicher 106 der Reserve-CPU-Einheit 100 mit Hilfe der Datennachlaufvorrichtung 43.

Nach Empfang des aktualisierten Informationsspeicherortes und der aktualisierten Werteänderungsinformation, die von der Datennachlaufvorrichtung 43 übertragen werden, in dem Nachlaufspeicher 106 im Schritt S802 geht die Reserve-CPU-Einheit 100 zum Schritt S803 über, und spiegelt den neuen Wert in dem Speicher entsprechend dem aktualisierten Speicher der Steuer-CPU-Einheit 1 wieder (Gerätespeicher, Programmspeicher, oder externer Speicher), entsprechend der Änderungsinformation. Nach Beendigung dieses Schritts schickt die Reserve-CPU-Einheit 100 eine Reaktion, welche die Beendigung anzeigt, an den Nachlaufspeicher 16 der Steuer-CPU-Einheit 1 im Schritt S804 zurück. Die automatische Nachlauffunktion der Systeminformation ist nunmehr fertig.

Bei der fünften Ausführungsform werden nur geänderte Speicherdaten automatisch an die zugehörige CPU-Einheit als Nachlaufdaten übertragen. Anders als bei dem konventionellen System werden daher Daten, die in sämtlichen Bereichen eingestellt sind, nicht als Nachlaufdaten übertragen, und können erforderliche Daten nur in dem geänderten Abschnitt verfolgt werden; die Nachlaufzeit kann verkürzt werden, und es findet keine zusätzliche Nachlaufverarbeitung statt. Dadurch können nur Verarbeitungen verfolgt werden, bei denen eine Änderung auftritt, und in der Reserve-CPU-Einheit mit hoher Geschwindigkeit wiedergespiegelt werden.

Darüber hinaus können nur Änderungsabschnitte ebenfalls verfolgt werden; der Benutzer muß nicht vorher den Gerätebereich für den Nachlauf untersuchen, und es wird auch der Arbeitswirkungsgrad verbessert.

Anhand einer sechsten Ausführungsform der Erfindung wird der Betrieb einer automatischen Nachlaufvorrichtung der Betriebsart auf der Grundlage eines Flußdiagramms erläutert, welches in dem Reserve-Redundanzsystem in Fig. 9 begonnen wird.

Im Schritt S900 überwacht die CPU 11 der Steuer-CPU-Einheit 1 in dem Reserve-Redundanzsystem ständig eine Änderung der Betriebsart der Steuer-CPU-Einheit 1, die in einem Bereich des Systemspeichers 14 gespeichert ist, auf der Grundlage der Betriebsartserfassungsvorrichtung 32 in dem Mikroprogramm-ROM 12. Genauer gesagt wird eine Betriebsartvorgeschichte der Steuer-CPU-Einheit 1 (die Betriebsart vor einer Abtastung) in einem vorbestimmten Bereich des Systemspeichers 14 gehalten, und werden die Daten mit der momentanen Betriebsart verglichen.

Wenn sich die Betriebsart geändert hat, infolge des Ergebnisses des Betriebsartvergleichs, überträgt im Schritt S901 die Steuer-CPU-Einheit 1 eine Anforderung für die Betriebsartänderungsvorrichtung 21, die Betriebsart der Reserve-CPU-Einheit 100 auf die momentane Betriebsart der Steuer-CPU-Einheit 1 zu ändern, an den Nachlaufspeicher 106 der Reserve-CPU-Einheit 100 über die Kommunikationsanforderungsnachlaufvorrichtung 33.

Nach Empfang der Betriebsartänderungsanforderung, die von der Datennachlaufvorrichtung in dem Nachlaufspeicher 106 der Reserve-CPU-Einheit 100 übertragen wird, im Schritt S902 geht die Reserve-CPU-Einheit 100 zum Schritt S903 über.

Im Schritt S903 ändert die CPU 101 auf der Grundlage der Betriebsartänderungsvorrichtung 21 die Reserve-CPU-Einheit 100 auf dieselbe Betriebsart wie die momentane Betriebsart der Steuer-CPU-Einheit 1. Nach Beendigung der Änderung der Betriebsart schickt die Reserve-CPU-Einheit 100 eine Reaktion, welche die Beendigung anzeigt, an den Nachlaufspeicher 6 der Steuer-CPU-Einheit 1 im Schritt S904 zurück. Die automatische Betriebsartnachlauffunktion ist nunmehr beendet.

Bei der sechsten Ausführungsform werden die Daten, welche die automatisch geänderte Betriebsart der Steuer-CPU-Einheit 1 angeben, an die Reserve-CPU-Einheit 100 als ein Befehl übertragen, und nimmt die Reserve-CPU-Einheit 100 dieselbe Betriebsart an wie die Steuer-CPU-Einheit 1, auf der Grundlage des Befehls. Daher kann die Betriebsart der Reserve-CPU-Einheit automatisch eine Änderung der Betriebsart der Steuer-CPU-Einheit verfolgen, um ständig die Betriebsarten sowohl der Steuer- als auch der Reserve-CPU-Einheit gleich zu halten, -und das Reserve-Redundanzsystem wirksamer aufrechtzuerhalten, ohne den Betriebsartänderungszeitpunkt zu verschieben.

Die Erfindung stellt nachfolgende Auswirkungen zur Verfügung, entsprechend den voranstehend geschilderten Ausbildungsformen:

Gemäß der Erfindung wird ein Reserve-Redundanzsystem zur Verfügung gestellt, welches eine Steuer-CPU-Einheit zum Steuern gesteuerter Maschinen sowie eine Reserve-CPU-Einheit aufweist, welche die gesteuerten Maschinen statt der Steuer-CPU-Einheit steuern kann, wobei sich das System durch eine Nachlaufvorrichtung auszeichnet, zum zeitweiligen Speichern eines Befehls, der aus einer Anweisung und Daten besteht, und von einem Peripheriegerät eingegeben wird, zur Verarbeitung der Daten auf der Grundlage der Anweisung in dem Befehl, und zur Übertragung des zeitweilig gespeicherten Befehls an die zugehörige CPU-Einheit. Daher können sowohl die Steuer- als auch die Reserve-CPU-Einheit die Daten auf der Grundlage der Anweisung in Reaktion auf den Befehl von dem Peripheriegerät

verarbeiten, und wird der Arbeitswirkungsgrad zur Aufrechterhaltung der Datenidentität verbessert.

Die zugehörige CPU-Einheit, an welche der zeitweilig gespeicherte Befehl übertragen wird, verarbeitet die Daten auf der Grundlage der Anweisung in dem Befehl, stellt einen Fehler in dem Befehl fest, und schickt eine Nachricht, welche den Fehler anzeigt, an das Peripheriegerät über die CPU-Einheit zurück, welche den Befehl überträgt. Daher wird die Verlässlichkeit der Datenidentität noch weiter verbessert.

Es wird ein Reserve-Redundanzsystem zur Verfügung gestellt, welches eine erste CPU-Einheit aufweist, zum zeitweiligen Speichern eines Befehls, der aus einer Anweisung und einem Programm besteht, und von einem Peripheriegerät eingegeben wird, zum Speichern des Programms in einem ersten externen Speicher, der intern angeschlossen ist, auf der Grundlage der Anweisung in dem Befehl, während der Befehl bezüglich Fehlern überprüft wird, und zum Übertragen des zeitweilig gespeicherten Befehls an eine zweite CPU-Einheit, und eine zweite CPU-Einheit aufweist, zum Speichern des Programms in einem zweiten externen Speicher, der intern angeschlossen ist, auf der Grundlage der Anweisung in dem übertragenen Befehl, während der Befehl bezüglich Fehlern überprüft wird, und zum Zurückschicken des Ergebnisses der Überprüfung an die erste CPU-Einheit, wobei sich das System dadurch auszeichnet, daß das Programm, welches in dem ersten und zweiten externen Speicher gespeichert ist, in die entsprechenden Speicher während der RUN-Betriebsart auf der Grundlage eines Sequenzprogramms eingeschrieben wird. Daher kann ein umfangreiches Programm stapelweise während der RUN-Betriebsart von dem externen Speicher eingeschrieben werden, und muß keine STOP-Verarbeitung durchgeführt werden, die bislang zum Schreiben eines Programms erforderlich war, so daß die Arbeitszeit verkürzt werden kann.

Darüber hinaus wird die Fehlerüberprüfung durch Abtastung des Programms durchgeführt. Daher kann die Verlässlichkeit des Programms durch Abtastung vor dem Schreiben während der RUN-Betriebsart erhöht werden.

Wenn in der ersten oder zweiten CPU-Einheit kein Fehler festgestellt wird, wird das in dem ersten und zweiten externen Speicher gespeicherte Programm in die entsprechenden Speicher während der RUN-Betriebsart eingeschrieben, in Reaktion auf eine Anforderung, die von dem Peripheriegerät ausgegeben wird. Daher kann das Programm synchron sowohl in die Steuer- als auch in die Reserve-CPU-Einheit eingeschrieben werden, und wird die Verlässlichkeit des Reserve-Redundanzsystems selbst noch weiter verbessert.

Wenn in der ersten oder zweiten CPU-Einheit kein Fehler festgestellt wird, wird das in dem ersten und zweiten externen Speicher gespeicherte Programm in die entsprechenden Speicher während der RUN-Betriebsart eingeschrieben, in Reaktion auf eine Anforderung, die von der ersten oder zweiten CPU-Einheit ausgegeben wird. Daher kann das Programm synchron sowohl in die Steuer- als auch in die Reserve-CPU-Einheit eingeschrieben werden, und wird die Verlässlichkeit des Reserve-Redundanzsystems selbst noch weiter verbessert.

Es wird ein Reserve-Redundanzsystem zur Verfügung gestellt, welches eine Steuer-CPU-Einheit zum Steuern gesteuerter Maschinen sowie eine Reserve-CPU-Einheit aufweist, welche die gesteuerten Maschinen statt der Steuer-CPU-Einheit steuern kann, wobei sich das System dadurch auszeichnet, daß eine Änderung von Daten in einem vorbestimmten Bereich eines internen-Speichers erfaßt wird, eine Änderungserfassungsadresse und aktualisierte Daten hintereinander gespeichert werden, und nur die Adresse und aktualisierte Daten, die gespeichert sind, an die Reserve-CPU-

Einheit zum Datennachlaufzeitpunkt übertragen werden. Daher können nur die aktualisierten Daten als Nachlaufdaten eingesetzt werden, und kann die Datenübertragungszeit und die Belastung verringert werden, wodurch der Arbeitswirkungsgrad verbessert wird.

Es wird ein Reserve-Redundanzsystem zur Verfügung gestellt, welches eine Steuer-CPU-Einheit zum Steuern gesteuerter Maschinen und eine Reserve-CPU-Einheit aufweist, welche die gesteuerten Maschinen statt der Steuer-CPU-Einheit steuern kann, wobei sich das System dadurch auszeichnet, daß der Betriebszustand der Steuer-CPU-Einheit für jede Abtastung gespeichert wird, und jedesmal dann, wenn die Abtastung beendet ist, der momentane Betriebszustand mit dem Betriebszustand verglichen wird, der vor einer Abtastung eingestellt wurde, und dann, wenn eine Betriebszustandsänderung festgestellt wird, ein Befehl zum Ändern des Betriebszustands an die Reserve-CPU-Einheit ausgegeben wird. Daher kann der Betriebszustand der Reserve-CPU-Einheit entsprechend der Steuer-CPU-Einheit geändert werden, und wird die Verlässlichkeit des Reserve-Redundanzsystems selbst noch weiter verbessert.

Zwar wurden bestimmte Ausführungsformen beschrieben, jedoch wird darauf hingewiesen, daß die vorliegende Erfindung nicht auf diese Ausführungsformen beschränkt ist, sondern auf verschiedene Arten und Weisen modifiziert oder abgeändert werden kann, innerhalb des Umfangs der vorliegenden Erfindung.

FIGURENBESCHRIFTUNG

Fig. 1

- 1: Steuer-CPU-Einheit
- 2: Externer Speicher
- 3: Peripheriegerät
- 4: Betriebsartumschalterschalter
- 11: CPU
- 12: Mikroprogramm-ROM
- 13: Gerätespeicher
- 14: Systemspeicher
- 15: Programmspeicher
- 16: Nachlaufspeicher
- 17: Nachlaufschnittstelle
- 100: Reserve-CPU-Einheit
- 101: CPU
- 102: Mikroprogramm-ROM
- 103: Gerätespeicher
- 104: Systemspeicher
- 105: Programmspeicher
- 106: Nachlaufspeicher
- 107: Nachlaufschnittstelle
- 108: Schnittstelle für externen Speicher
- 109: Peripherieschnittstelle
- 200: Externer Speicher
- 300: Peripheriegerät
- 400: Betriebsartumschalterschalter

Fig. 2

- 12, 102: Mikroprogramm-ROM
- 20: Kommunikationsdienstfunktion
- 21: Betriebsartänderungsvorrichtung
- 22: Dateistapelschreibvorrichtung
- 23: Gerätestapelschreibvorrichtung
- 24: Dateistapelsevorrchtung
- 25: Gerätestapelsevorrchtung
- 26: RUN-Betriebsart-Dateistapelübertragungsvorrichtung
- 30: Hauptfunktion

- 31: Systeminformationserfassungsvorrichtung
- 32: Betriebsarterfassungsvorrichtung
- 40: Nachlauffunktion
- 41: Kommunikationsdienstanforderungsnachlaufvorrichtung
- 42: Dateieinhaltnachlaufvorrichtung
- 43: Datennachlaufvorrichtung

Fig. 3

- 10 CONTROL CPU: Steuer-CPU
- STANDBY CPU: Reserve-CPU
- END: Ende
- YES: NORAAL COMPLETION: Ja, normale Beendigung
- 15 NO: ABNORAAL COMPLETION: Nein, nicht normale Beendigung
- S300: Empfange Kommunikationsdienstbefehl für Steuer-CPU-Einheit vom Peripheriegerät
- S301: Führe Kommunikationsdienstfunktionsbefehl durch Steuer-CPU-Einheit aus
- 20 S302: Erzeuge Reaktionsdaten durch Steuer-CPU-Einheit
- S303: Normale Beendigung ?
- S304: Reaktion an Peripheriegerät zurückschicken
- S305: Empfange Befehl in Nachlaufspeicher der Reserve-CPU-Einheit durch Kommunikationsdienstanforderungsnachlaufvorrichtung
- 25 S306: Führe Kommunikationsdienstfunktionsbefehl aus
- S307: Erzeuge Reaktionsdaten durch Reserve-CPU-Einheit
- S308: Schicke Reaktion an Nachlaufspeicher von Steuer-CPU-Einheit zurück
- 30 S309: Schicke Reaktion an Peripheriegerät zurück

Fig. 4

- 35 CONTROL CPU: Steuer-CPU
- STANDBY CPU: Reserve-CPU
- END: Ende
- YES: NOPMAL COMPLETION: Ja, normale Beendigung
- NO: ABNORMAL COMPLETION: Nein, nicht normale
- 40 Beendigung
- S400: Empfange Dateistapelschreibbefehl für Steuer-CPU-Einheit vom Peripheriegerät
- S401: Schreibe Datei in angegebenen Speicher der Steuer-CPU-Einheit
- 45 S402: Erzeuge Reaktionsdaten durch Steuer-CPU-Einheit
- S403: Normale Beendigung ?
- S404: Sende Reaktion an Peripheriegerät zurück
- S405: Empfange Befehl in Nachlaufspeicher der Reserve-CPU-Einheit durch Kommunikationsdienstanforderungsnachlaufvorrichtung
- 50 S406: Schreibe Datei in angegebenen Speicher der Reserve-CPU-Einheit
- S407: Erzeuge Reaktionsdaten durch Reserve-CPU-Einheit
- S408: Sende Reaktion an Nachlaufspeicher der Steuer-CPU-Einheit zurück
- 55 S409: Sende Reaktion an Peripheriegerät zurück

Fig. 5

- 60 CONTROL CPU: Steuer-CPU
- STANDBY CPU: Reserve-CPU
- END: Ende
- YES: NORMAL COMPLETION: Ja, normale Beendigung
- NO: ABNORMAL COMPLETION: Nein, nicht normale
- 65 Beendigung
- S500: Empfang- Gerätestapelschreibbefehl für Steuer-CPU-Einheit von Peripheriegerät
- S501: Schreibe Gerätewerte des angegebenen Gerätes in

Gerätespeicher der Steuer-CPU-Einheit ein
 S502: Erzeuge Reaktionsdaten durch Steuer-CPU-Einheit
 S503: Normale Beendigung ?
 S504: Sende Reaktion an Peripheriegerät zurück
 S505: Empfange Befehl in Nachlaufspeicher der Reserve-CPU-Einheit durch Kommunikationsdienstanforderungsnachlaufvorrichtung
 S506: Schreibe Gerätewerte in angegebenen Gerätespeicherbereich der Reserve-CPU-Einheit
 S507: Erzeuge Reaktionsdaten durch Reserve-CPU-Einheit
 S508: Sende Reaktion an Nachlaufspeicher der Steuer-CPU-Einheit zurück
 S509: Sende Reaktion an Peripheriegerät zurück

Fig. 6

CONTROL CPU: Steuer-CPU
 STANDBY CPU: Reserve-CPU
 END: Ende
 YES: NORMAL COMPLETION: Ja, normale Beendigung
 NO: ABNORMAL COMPLETION: Nein, nicht normale Beendigung
 S600: Programmdatei in externen Speicher der Steuer-CPU-Einheit gemäß erster Ausführungsform einschieben
 S601: Dieselbe Programmdatei wie in Steuer-CPU-Einheit in den externen Speicher der Reserve-CPU-Einheit gemäß erster Ausführungsform einschieben
 S602: Normale Beendigung ?
 S603: Gebe RUN-Betriebsart-Stapeldateiübertragungsbefehl vom Peripheriegerät an die Steuer-CPU-Einheit aus
 S604: Übertrage Programmdatei im externen Speicher der Steuer-CPU-Einheit an den Programmspeicher
 S605: Erzeuge Reaktionsdaten durch Steuer-CPU-Einheit
 S606: Normale Beendigung ?
 S607: Sende Reaktion an Peripheriegerät zurück
 S608: Empfange Befehl im Nachlaufspeicher der Reserve-CPU-Einheit durch Kommunikationsdienstanforderungsnachlaufvorrichtung
 S609: Übertrage Programmdatei im externen Speicher an den Programmspeicher
 S610: Erzeuge Reaktionsdaten durch Reserve-CPU-Einheit
 S611: Sende Reaktion an Nachlaufspeicher der Steuer-CPU-Einheit zurück
 S612: Sende Reaktion an Peripheriegerät zurück

Fig. 7

CONTROL CPU: Steuer-CPU
 STANDBY CPU: Reserve-CPU
 END: Ende
 S700: Dateien im Speicher, die an Reserve-CPU-Einheit übertragen wurden, von Steuer-CPU-Einheit abziehen
 S701: Inhalt übertragener Datei durch Dateiinhaltsnachlaufvorrichtung interpretieren
 S702: Schreibe Dateien, die von Steuer-CPU-Einheit übertragen wurden, in den Zielspeicher der Reserve-CPU-Einheit ein
 S703: Sende Reaktion der Reserve-CPU-Einheit an Nachlaufspeicher der Steuer-CPU-Einheit zurück

Fig. 8

CONTROL CPU: Steuer-CPU
 STANDBY CPU: Reserve-CPU
 YES: CHANGE LOCATION EXISTS: Ja, Änderungsort ist vorhanden
 NO: NO CHANGE LOCATION EXISTS: Nein, kein Änderungsort vorhanden

S800: Überwache Wertänderungsort und Änderungswert der Systeminformation und der Geräteinformation durch Systeminformationserfassungsvorrichtung
 S801: Ist ein Änderungsort vorhanden ?
 S802: Empfange Änderungsinformation, die durch Daten-nachlaufvorrichtung übertragen wurde, im Nachlaufspeicher der Reserve-CPU-Einheit
 S803: Widerspiegelung im Zielspeicher der Reserve-CPU-Einheit auf der Grundlage der Änderungsinformation, die von der Steuer-CPU-Einheit übertragen wurde
 S804: Sende Reaktion an Nachlaufspeicher der Steuer-CPU-Einheit zurück

Fig. 9

CONTROL CPU: Steuer-CPU
 STANDBY CPU: Reserve-CPU
 YES: CHANGE EXISTS: Ja, Änderung vorhanden
 NO: NO CHANGE EXISTS: Nein, keine Änderung vorhanden
 S900: Überwache Änderung der Betriebsart der Steuer-CPU-Einheit durch Betriebsarterfassungsvorrichtung
 S901: Ist Änderung vorhanden ?
 S902: Empfange entfernte Anforderung, die Betriebsart der Reserve-Steuer-Einheit auf momentane Betriebsart der Steuer-CPU-Einheit zu ändern, im Nachlaufspeicher der Reserve-CPU-Einheit
 S903: Ändere Betriebsart der Reserve-CPU-Einheit auf der Grundlage der entfernten Anforderung, die von der Steuer-CPU-Einheit übertragen wurde
 S904: Sende Reaktion an Nachlaufspeicher der Steuer-CPU-Einheit zurück

Fig. 10

TRANSMISSION LINE: Übertragungsleitung
 CONTROL MACHINES: Gesteuerte Maschinen
 5: Eingabe/Ausgabeschalter
 10: Steuer-CPU-Einheit
 40: 110: Reserve-CPU-Einheit

Fig. 11

END: Ende
 S1100: Systeminformation der Steuer-CPU-Einheit und Geräteinformation, deren Bereich vom Benutzer festgelegt wird, abziehen
 S1101: In die Steuer-CPU-Einheit abgezogene Information an Nachlaufspeicher in Reserve-CPU-Einheit übertragen
 S1102: Die an den Nachlaufspeicher übertragene Information in der Reserve-CPU-Einheit im Speicher widerspiegeln

Fig. 12

END: Ende
 S1200: Empfange Kommunikationsdienstfunktionsbefehl für Ziel-CPU vom Peripheriegerät
 S1201: Führe Kommunikationsdienstfunktionsbefehl aus
 S1202: Erzeuge Reaktionsdaten
 S1203: Sende Reaktion von Ziel-CPU an das Peripheriegerät zurück, welches den Befehl ausgab

Fig. 13A-13C

CONTROL CPU UNIT: Steuer-CPU-Einheit
 STANDBY CPU UNIT: Reserve-CPU-Einheit
 PERIPHERAL DEVICE: Peripheriegerät
 ISSUE CONAAND: Befehl ausgeben

CHANGE CONNECTION: Verbindung ändern.

Patentansprüche

1. Reserve-Redundanzsystem, welches aufweist: 5
eine Steuer-CPU-Einheit zum Steuern gesteuerter Maschinen;
eine Reserve-CPU-Einheit, welche die gesteuerten Maschinen statt der Steuer-CPU-Einheit steuern kann; und
eine Nachlaufvorrichtung zum zeitweiligen Speichern 10
eines Befehls, der aus einer Anweisung und Daten besteht, und von einem Peripheriegerät eingegeben wird, zur Verarbeitung der Daten auf der Grundlage der Anweisung in dem Befehl, und zur Übertragung des zeitweilig gespeicherten Befehls an die zugehörige CPU-Einheit. 15
2. Reserve-Redundanzsystem nach Anspruch 1, dadurch gekennzeichnet, daß die zugehörige CPU-Einheit, an welche der zeitweilig gespeicherte Befehl übertragen wird, die Daten auf der Grundlage der Anweisung in dem Befehl verarbeitet, einen Fehler in dem Befehl feststellt, und eine Nachricht, welche den Fehler angibt, an das Peripheriegerät über die CPU-Einheit zurückschickt, welche den Befehl übertragen hat. 20
3. Reserve-Redundanzsystem, welches aufweist: 25
eine erste CPU-Einheit zum zeitweiligen Speichern eines Befehls, der aus einer Anweisung und einem Programm besteht, und von einem Peripheriegerät eingegeben wird, zum Speichern des Programms in einem ersten externen Speicher, der intern angeschlossen ist, 30
auf der Grundlage der Anweisung in dem Befehl, während der Befehl bezüglich Fehlern überprüft wird, und zur Übertragung des zeitweilig gespeicherten Befehls an eine zweite CPU-Einheit; und
eine zweite CPU-Einheit zum Speichern des Programms in einem zweiten externen Speicher, der intern angeschlossen ist, auf der Grundlage der Anweisung in dem übertragenen Befehl, während der Befehl bezüglich Fehlern überprüft wird, und zum Zurückschicken des Ergebnisses der Überprüfung an die erste CPU-Einheit. 35
wobei das Programm, welches in dem ersten und zweiten externen Speicher gespeichert ist, in entsprechende Speicher während einer RUN-Betriebsart auf der Grundlage eines sequentiellen Programms eingeschrieben wird. 40 45
4. Reserve-Redundanzsystem nach Anspruch 3, dadurch gekennzeichnet, daß die Fehlerüberprüfung durch Abtastung des Programms durchgeführt wird.
5. Reserve-Redundanzsystem nach Anspruch 3, dadurch gekennzeichnet, daß dann, wenn kein Fehler festgestellt wird, das in dem ersten und zweiten externen Speicher gespeicherte Programm in die entsprechenden Speicher während der RUN-Betriebsart eingeschrieben wird, in Reaktion auf eine von dem Peripheriegerät ausgegebene Anforderung. 50 55
6. Reserve-Redundanzsystem nach Anspruch 3, dadurch gekennzeichnet, daß dann, wenn kein Fehler in der ersten oder zweiten CPU-Einheit festgestellt wird, das in dem ersten und zweiten externen Speicher gespeicherte Programm in die entsprechenden Speicher während der RUN-Betriebsart eingeschrieben wird, in Reaktion auf eine Anforderung, die entweder von der ersten oder zweiten CPU-Einheit ausgegeben wird. 60 65
7. Reserve-Redundanzsystem, welches aufweist:
eine Steuer-CPU-Einheit zum Steuern gesteuerter Maschinen; und

eine Reserve-CPU-Einheit, welche statt der Steuer-CPU-Einheit die gesteuerten Maschinen steuern kann; wobei eine Änderung von Daten in einem vorbestimmten Bereich eines internen Speichers festgestellt wird, eine Änderungsfeststellungsadresse und aktualisierte Daten hintereinander gespeichert werden, und nur die gespeicherte Adresse und die gespeicherten, aktualisierten Daten an die Reserve-CPU-Einheit zur Datennachlaufzeit übertragen werden.

8. Reserve-Redundanzsystem, welches aufweist:
eine Steuer-CPU-Einheit zum Steuern gesteuerter Maschinen; und
eine Reserve-CPU-Einheit, welche die gesteuerten Maschinen statt der Steuer-CPU-Einheit steuern kann; wobei ein Betriebszustand der Steuer-CPU-Einheit für jede Abtastung gespeichert wird, und jedesmal dann, wenn die Abtastung beendet ist, der momentane Betriebszustand mit dem Betriebszustand verglichen wird, der vor einer Abtastung eingestellt wurde, und dann, wenn eine Betriebszustandsänderung festgestellt wird, ein Befehl zur Änderung des Betriebszustands an die Reserve-CPU-Einheit ausgegeben wird.

Hierzu 12 Seite(n) Zeichnungen

- Leerseite -

FIG.1

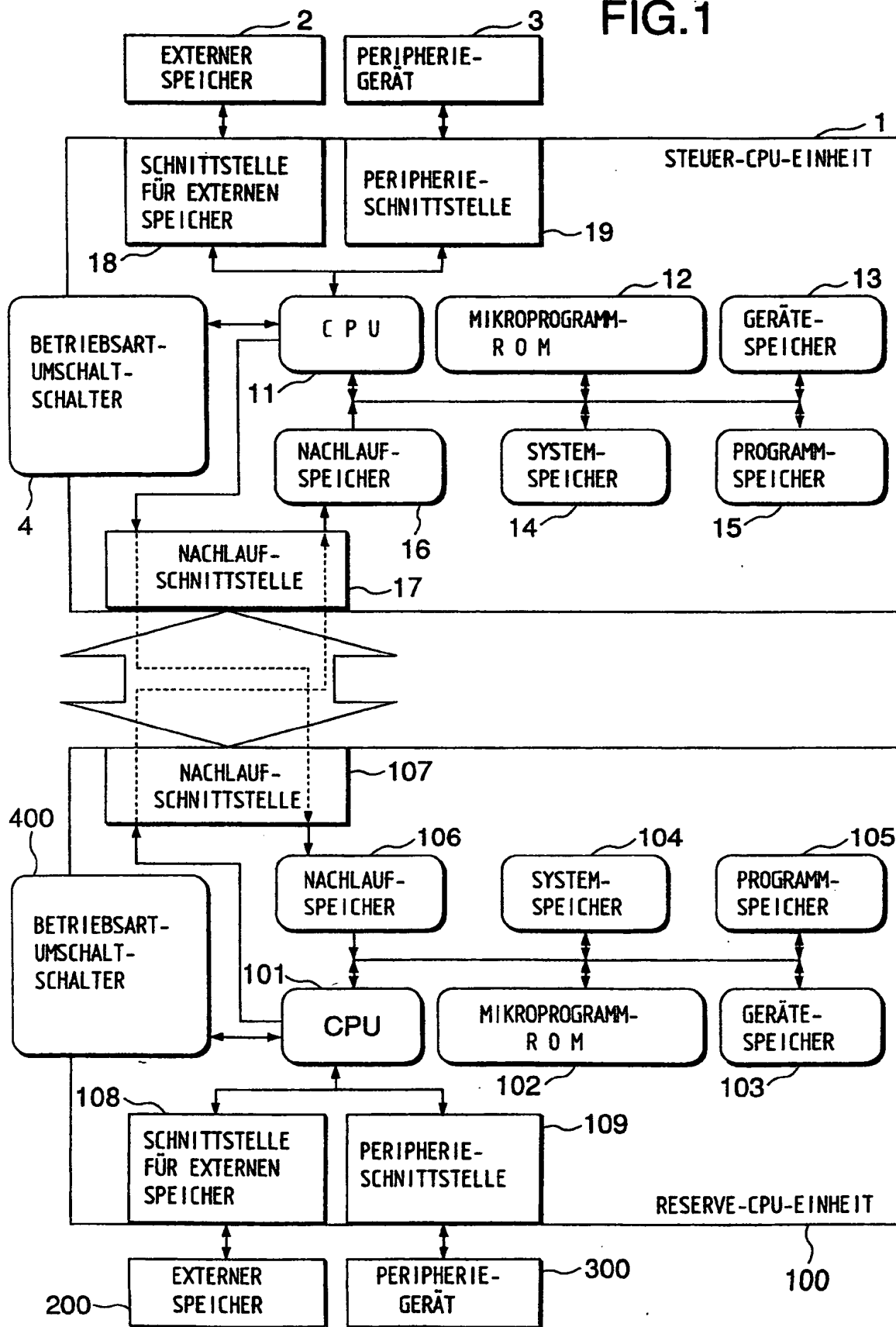


FIG.2

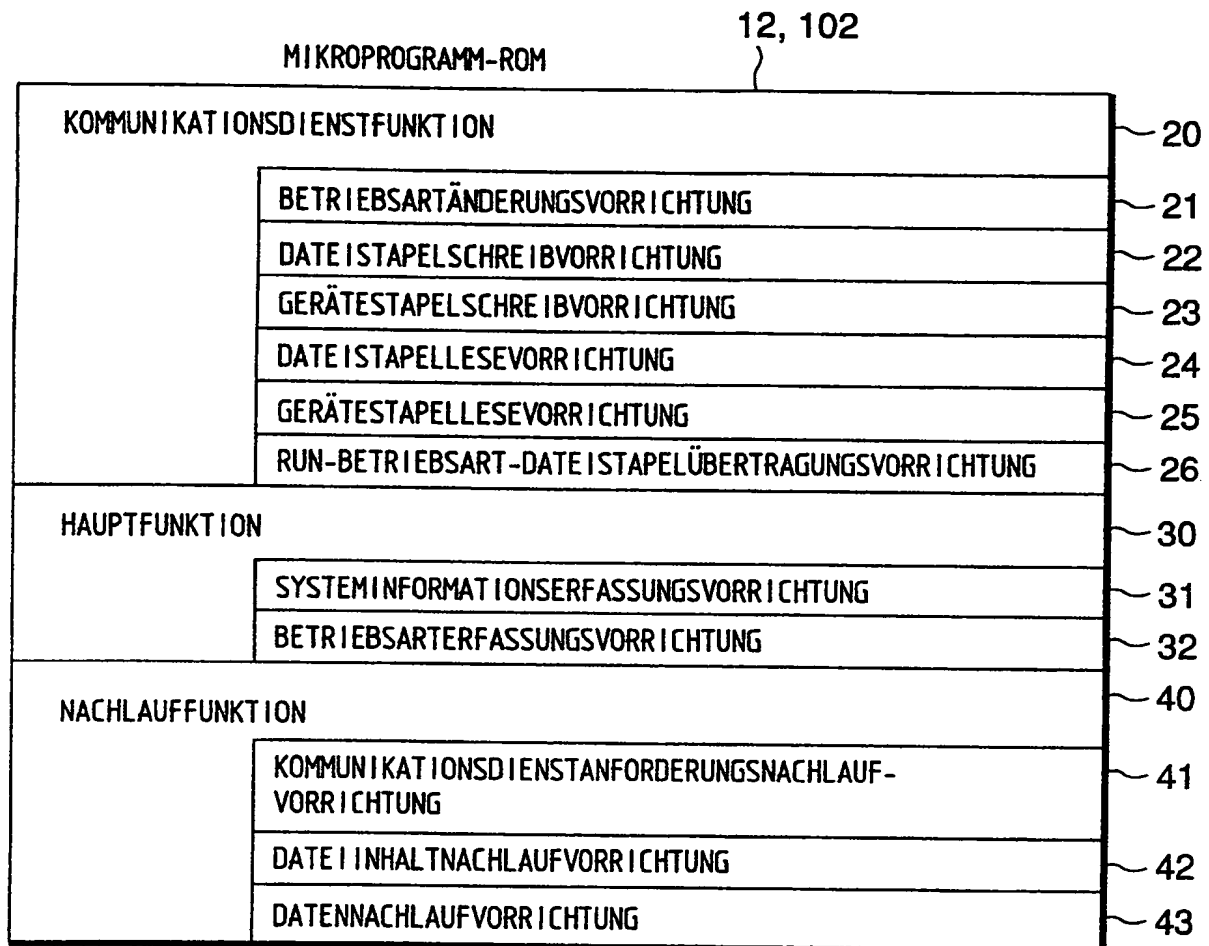


FIG.3

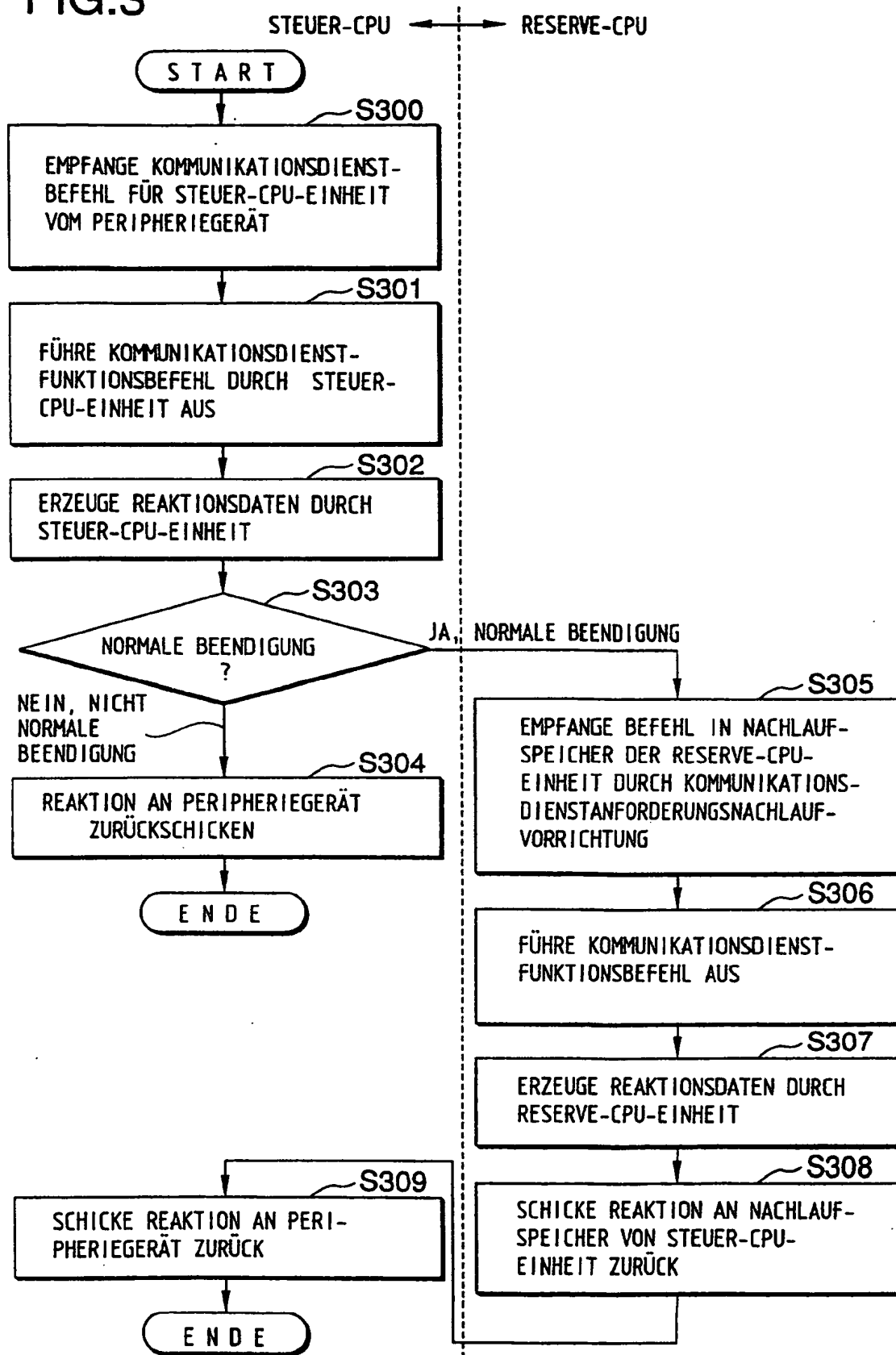


FIG.4

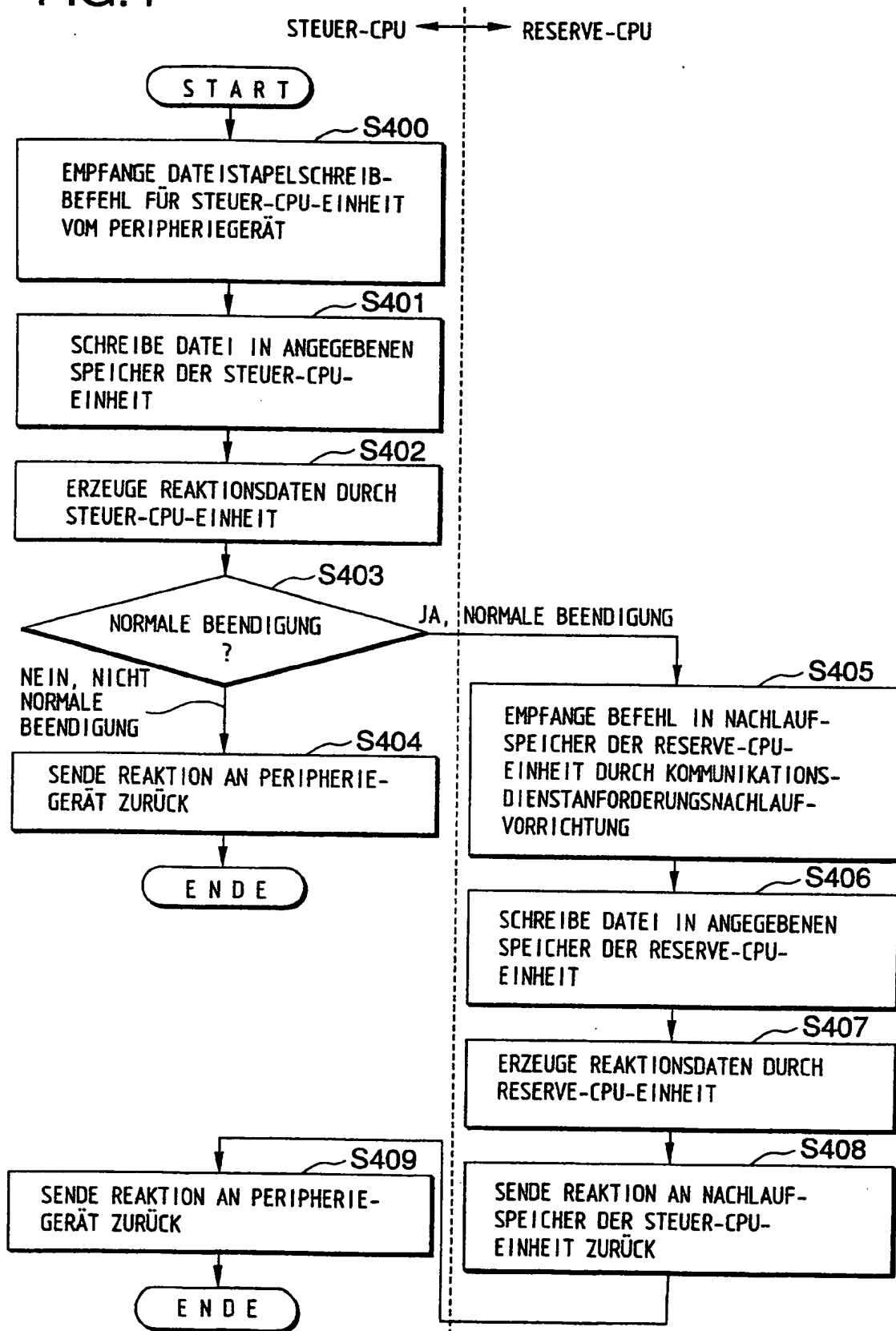


FIG.5

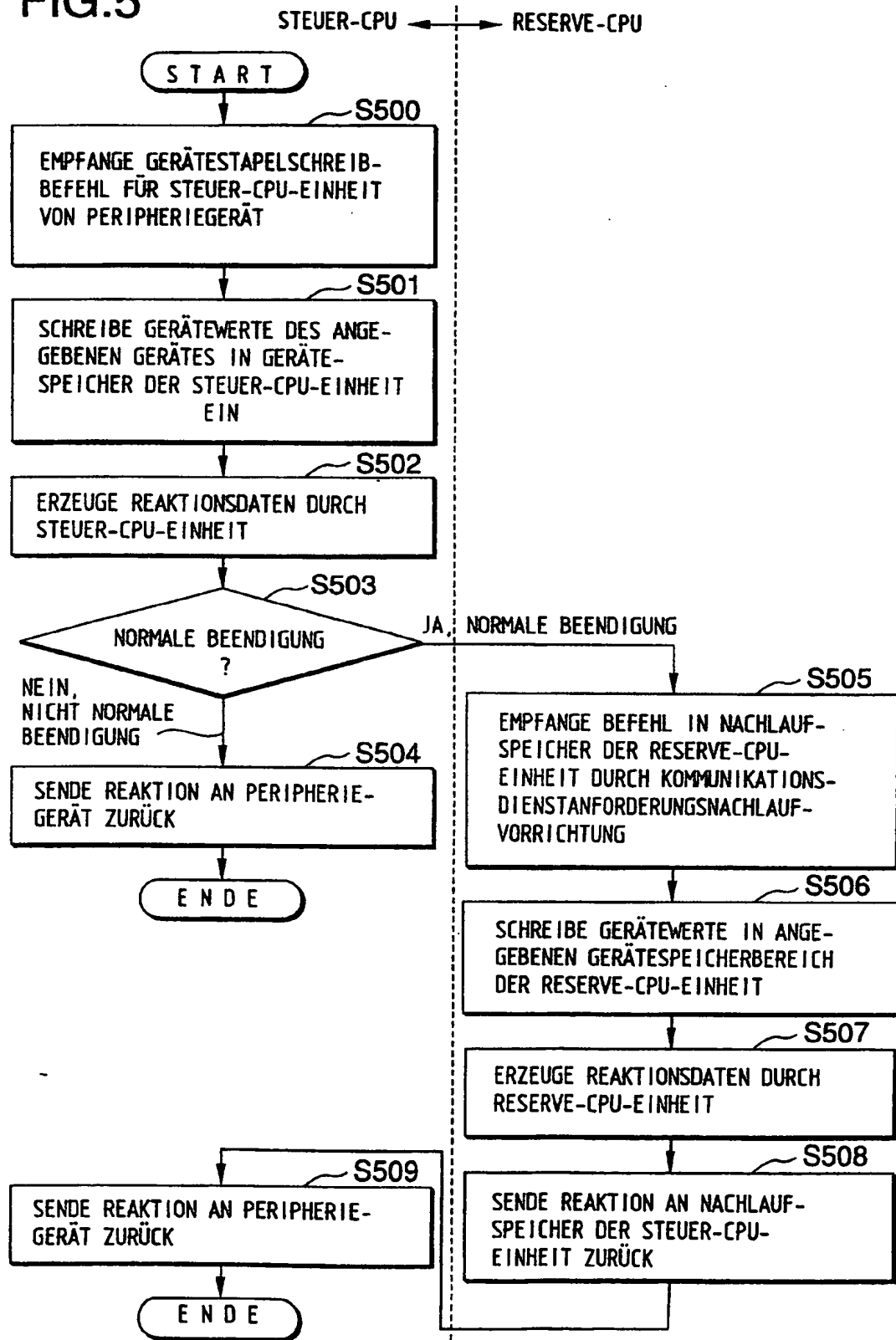


FIG.6

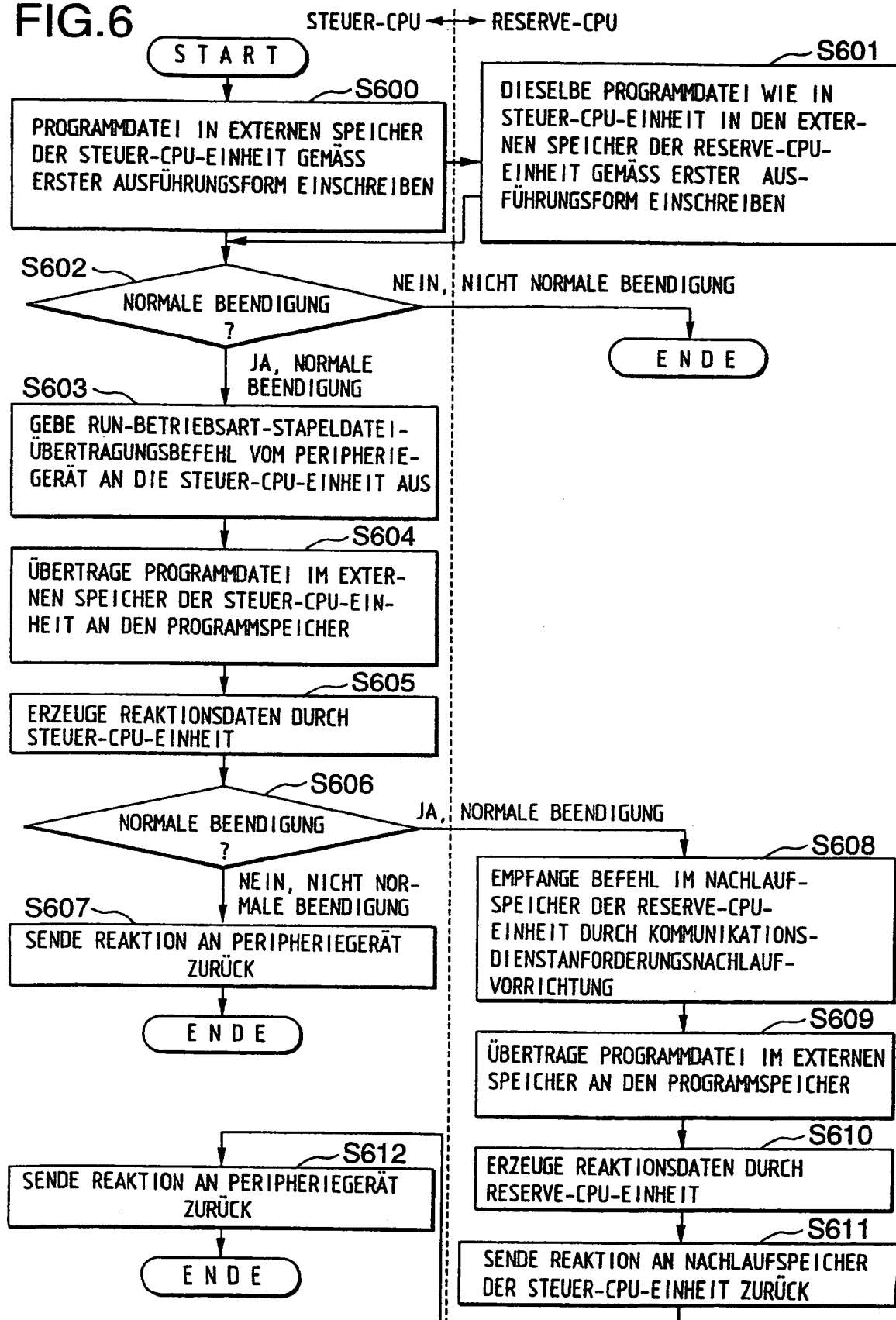


FIG.7

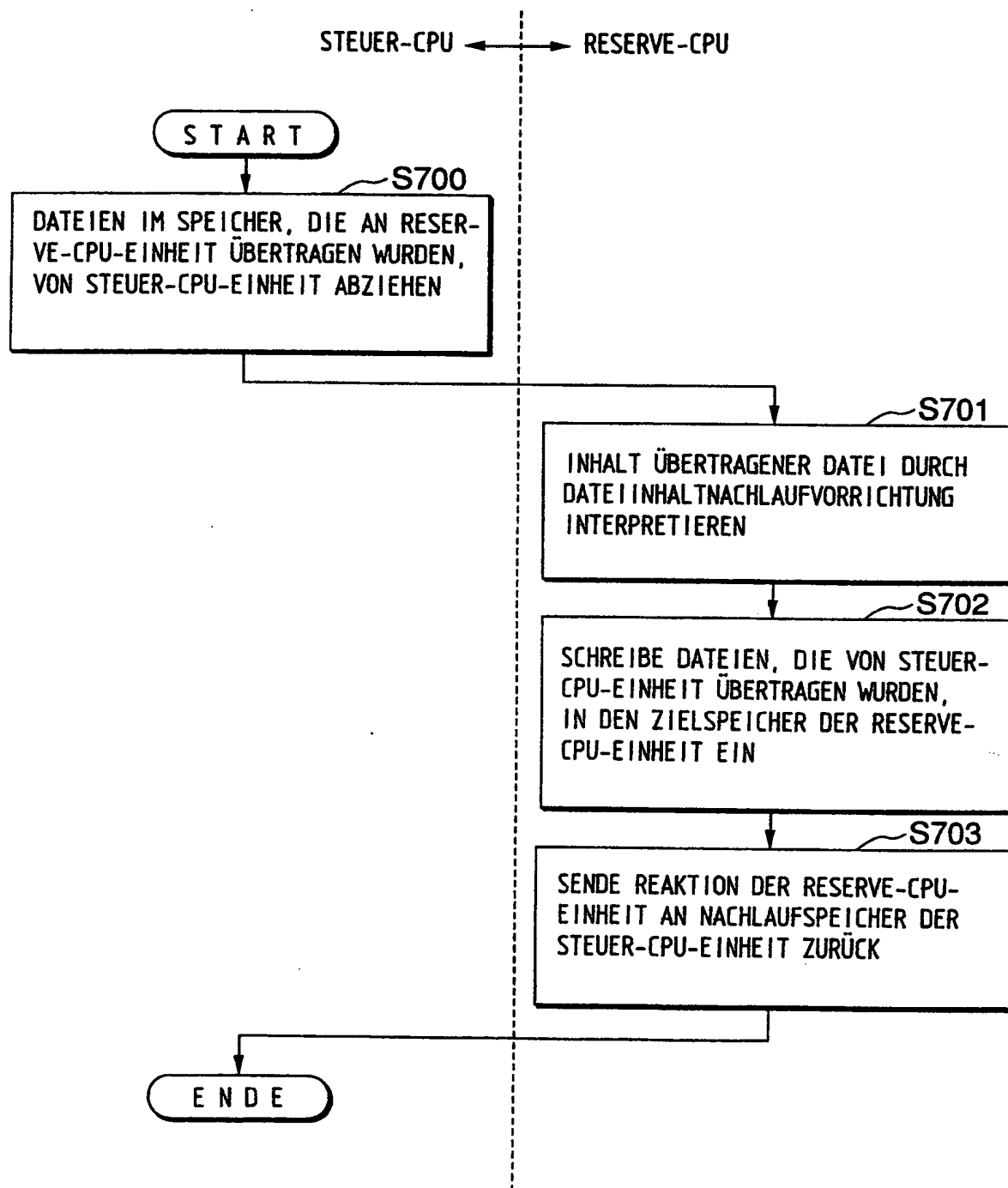


FIG.8

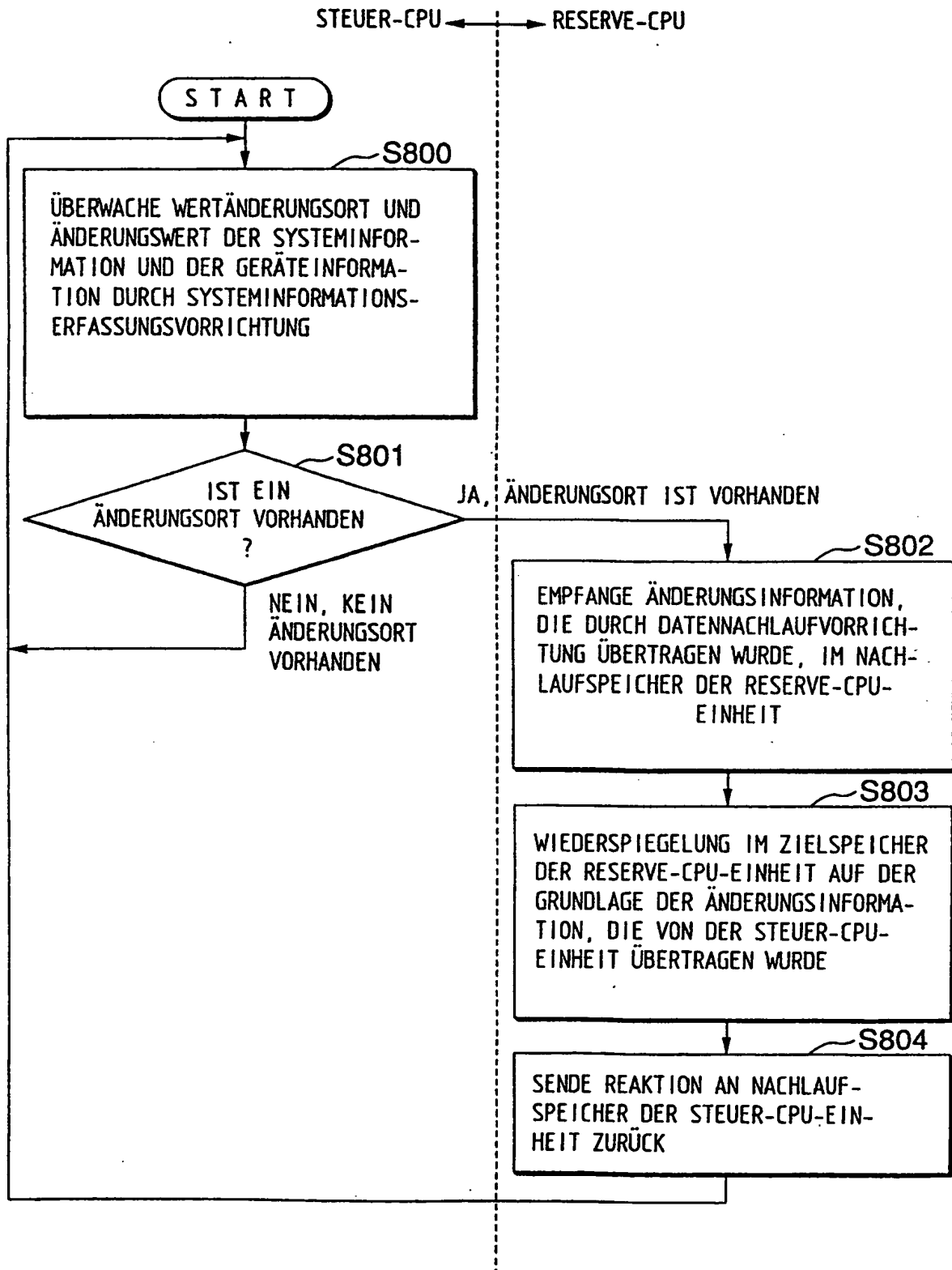


FIG.9

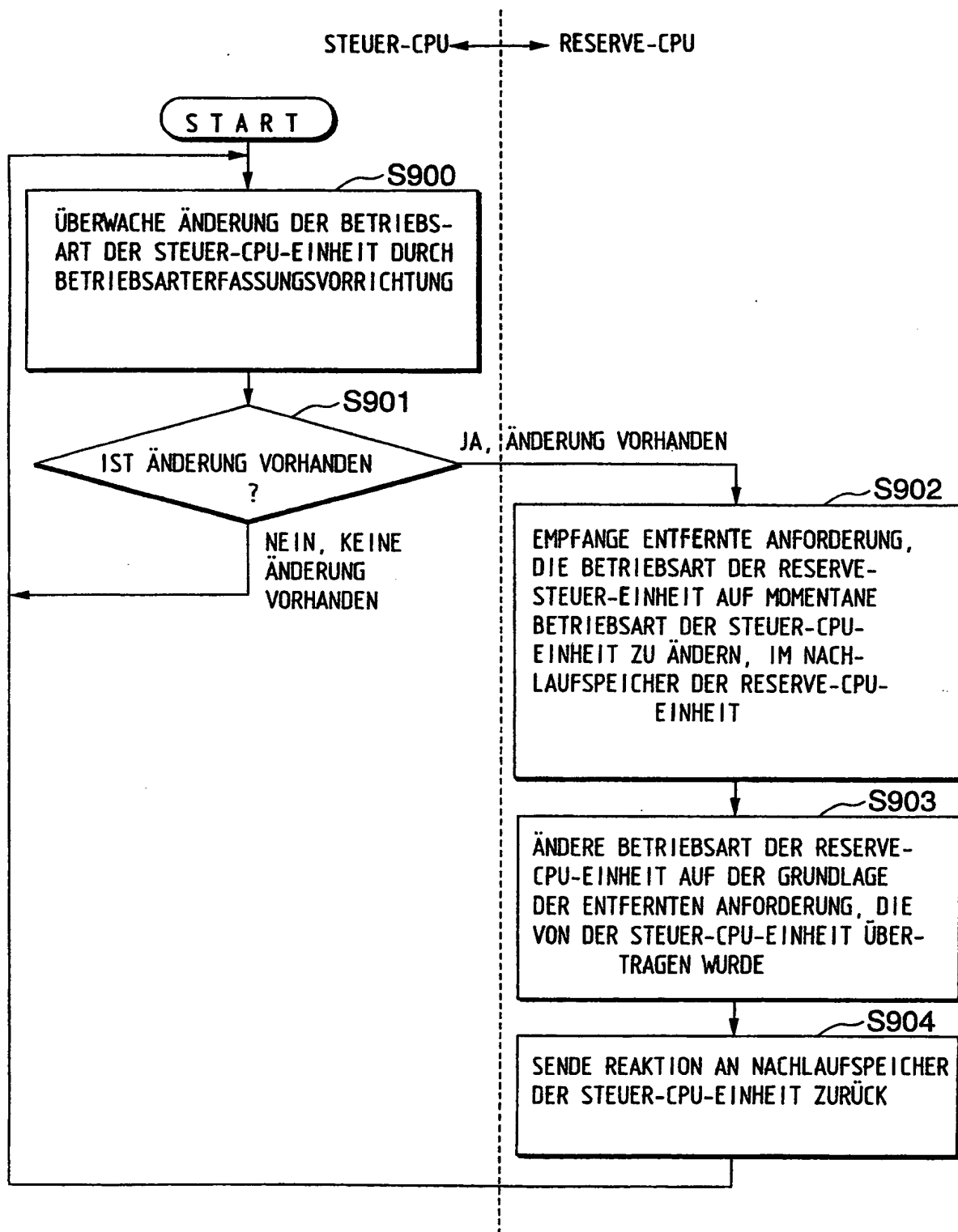


FIG.10

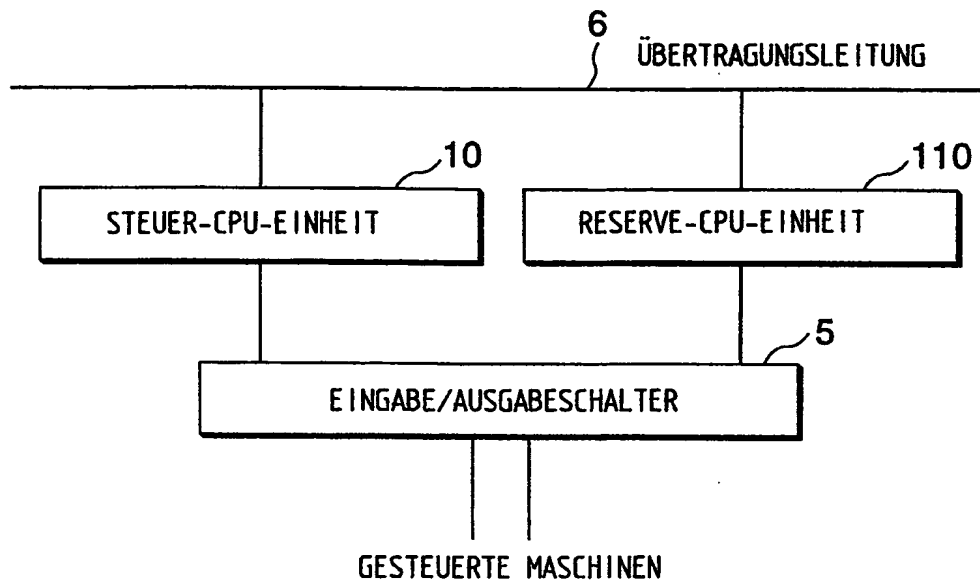


FIG.11

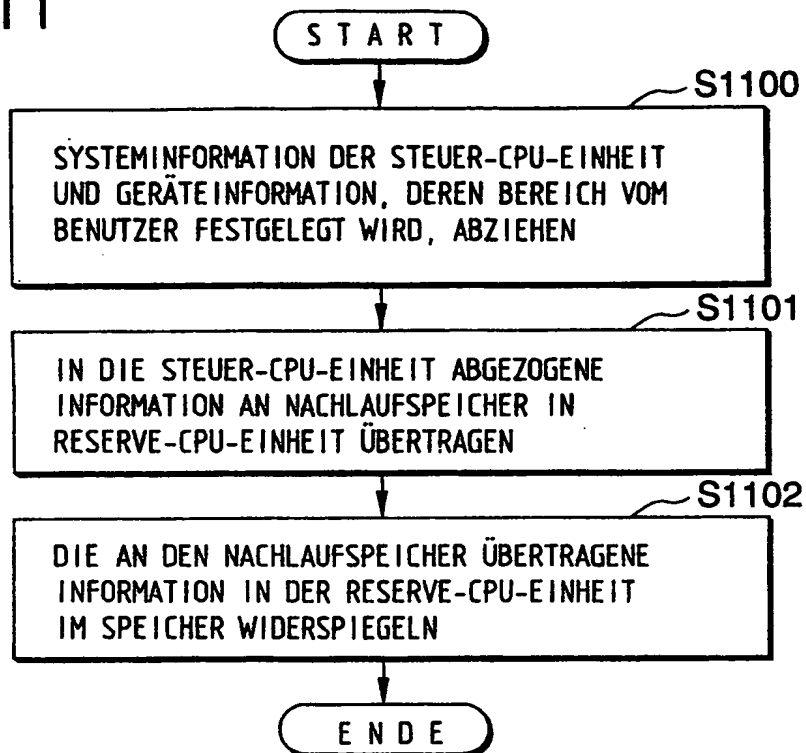


FIG.12

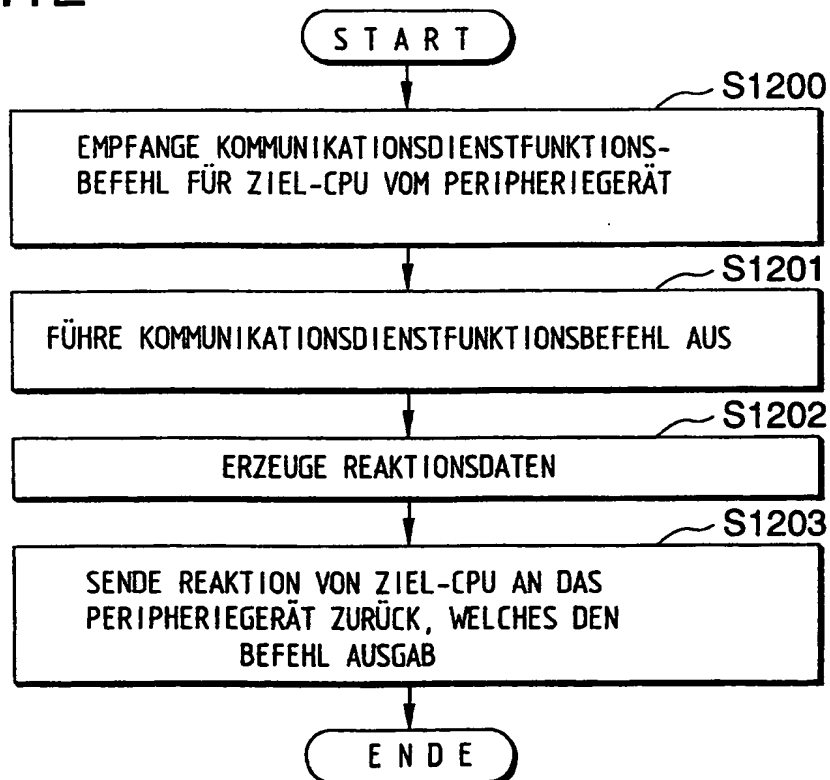


FIG.13A

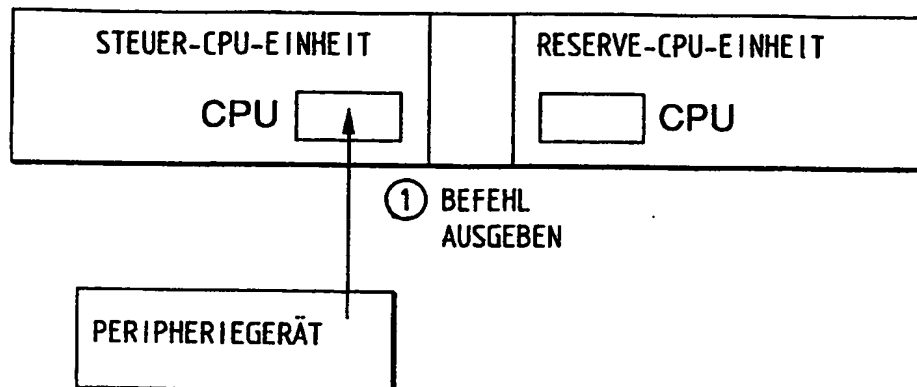


FIG.13B

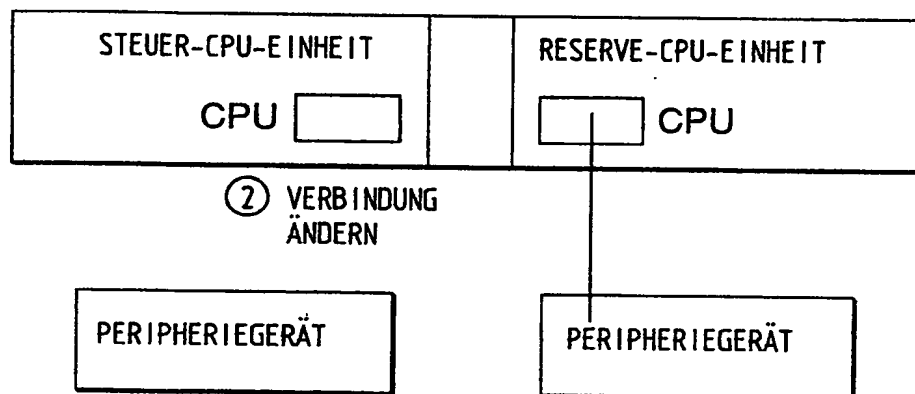


FIG.13C

